

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-155485

(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

G11C 11/409

G11C 11/407

(21)Application number : 11-338294

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.11.1999

(72)Inventor : HAMAIDE HIROSHI

HAMAMOTO TAKESHI

HARAGUCHI MASARU

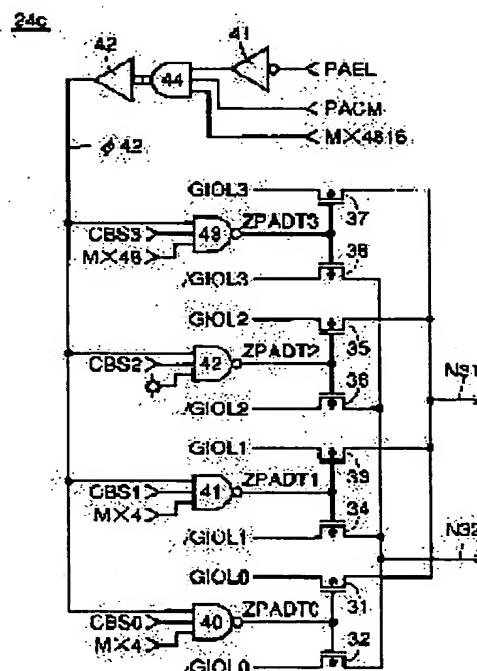
KONISHI YASUHIRO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory which can perform stable read-out operation.

SOLUTION: In an SDRAM, a selector 24c selects any one pair of global IO line out of four pairs of global IO lines GIOLO, /GIOO-GIOL3, /GIOL3 conforming to column block selecting signal CBS0-CBS3 and word formation selecting signals M×4, M×48, and the pair of global IO line is connected pulsatively to a pair of input/output node N31, N32 of a pre-amplifier 25c for the prescribed time. Therefore, an equalizing time of a pair of global IO line can be made longer, read-out operation can be stabilized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-155485

(P2001-155485A)

(43) 公開日 平成13年6月8日(2001.6.8)

(51) Int.Cl.⁷

G11C 11/409

11/407

識別記号

F I

G11C 11/34

テーマコード(参考)

354R 5B024

362S

審査請求 未請求 請求項の数15 OL (全 27 頁)

(21) 出願番号

特願平11-338294

(22) 出願日

平成11年11月29日(1999.11.29)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 浜出 啓

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 濱本 武史

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

最終頁に続く

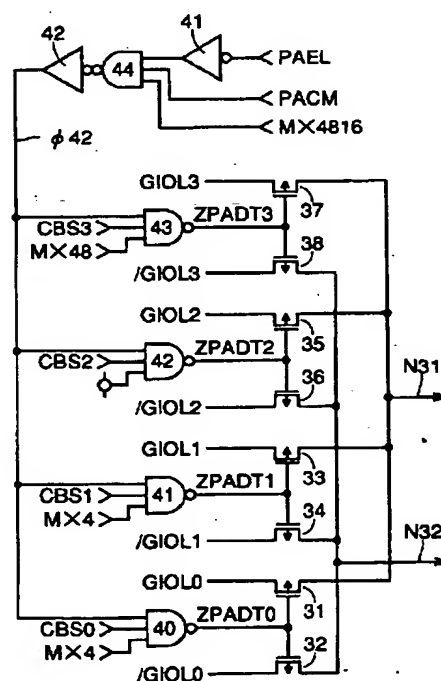
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 安定した読出動作を行なうことが可能な半導体記憶装置を提供する。

【解決手段】 SDRAMにおいて、セクタ24cは、コラムブロック選択信号CBS0~CBS3および語構成選択信号M×4、M×48に従って4組のグローバルIO線対GIOL0、/GIOL0~GIOL3、/GIOL3のうちのいずれか1組のグローバルIO線対を選択し、そのグローバルIO線対をブリアンプ25cの入出力ノード対N31、N32に所定時間だけパルス的に接続する。したがって、グローバルIO線対のイコライズ時間を長くとることができ、読出動作の安定化を図ることができる。

24c



【特許請求の範囲】

【請求項1】 複数のメモリセルを備えた半導体記憶装置であって、

その一方端に前記複数のメモリセルのうちの選択されたメモリセルから読出されたデータに応じた電位差が与えられるデータ伝達線対、

その入出力ノード対に与えられた電位差を増幅するプリアンプ、

前記データ伝達線対の他方端と前記プリアンプの入出力ノード対との間に接続され、予め定められた時間だけパルス的に導通して前記データ伝達線対間に生じた電位差を前記プリアンプの入出力ノード対に与えるためのスイッチング素子対、および前記プリアンプの出力信号を外部に伝達するための伝達回路を備える、半導体記憶装置。

【請求項2】 さらに、前記スイッチング素子対がパルス的に導通した後の第1のイコライズ期間に前記データ伝達線対の電位を予め定められたプリチャージ電位にイコライズする第1のイコライザ、および前記スイッチング素子対がパルス的に導通する前の第2のイコライズ期間に前記プリアンプの入出力ノード対の電位を前記プリチャージ電位にイコライズする第2のイコライザを備える、請求項1に記載の半導体記憶装置。

【請求項3】 それぞれが複数のメモリセルを含む複数のメモリアレイを備えた半導体記憶装置であって、

各メモリアレイに対応して設けられ、その一方端に対応のメモリアレイに属する複数のメモリセルのうちの選択されたメモリセルから読出されたデータに応じた電位差が与えられるデータ伝達線対、

その入出力ノード対に与えられた電位差を増幅するプリアンプ、

アドレス信号に従って複数の前記データ伝達線対のうちのいずれかのデータ伝達線対を選択し、そのデータ伝達線対の他方端と前記プリアンプの入出力ノード対とを予め定められた時間だけパルス的に接続してそのデータ伝達線対間に生じた電位差を前記プリアンプの入出力ノード対に与えるためのセクタ、および前記プリアンプの出力信号を外部に伝達するための伝達回路を備える、半導体記憶装置。

【請求項4】 さらに、前記データ伝達線対の他方端と前記プリアンプの入出力ノード対とがパルス的に接続された後の第1のイコライズ期間に各データ伝達線対間の電位を予め定められたプリチャージ電位にイコライズする第1のイコライザ、および前記データ伝達線対の他方端と前記プリアンプの入出力ノード対とがパルス的に接続される前の第2のイコライズ期間に前記プリアンプの入出力ノード対の電位を前記プリチャージ電位にイコライズする第2のイコライザを備える、請求項3に記載の半導体記憶装置。

【請求項5】 それぞれが複数のメモリセルを含むN組

(ただし、Nは2以上の整数である)のメモリアレイを備え、Nビットのデータ信号を同時に出力する第1の読出モードと、Mビット(ただし、MはNよりも小さな整数である)のデータ信号を同時に出力する第2の読出モードとを有する半導体記憶装置であって、

各メモリアレイに対応して設けられ、その一方端に対応のメモリアレイに属する複数のメモリセルのうちの選択されたメモリセルから読出されたデータに応じた電位差が与えられるデータ伝達線対、

それぞれの入出力ノード対に与えられた電位差を増幅するN組のプリアンプ、

前記第1の読出モード時はN組の前記データ伝達線対の他方端と前記N組のプリアンプの入出力ノード対をそれぞれ接続し、前記第2の読出モード時はアドレス信号に従ってN組の前記データ伝達線対のうちのM組のデータ伝達線対を選択し、選択したM組のデータ伝達線対の他方端をそれぞれ予め選択されたM組のプリアンプの入出力ノード対に接続するセクタ、および各プリアンプに対応して設けられ、対応のプリアンプの出力データ信号を外部に伝達するための伝達回路を備える、半導体記憶装置。

【請求項6】 さらに、各メモリセルが正常か否かをテストするテストモードを有し、

前記セクタは、前記テストモード時はN組の前記データ伝達線対の他方端と前記N組のプリアンプの入出力ノード対とをそれぞれ接続し、

前記半導体記憶装置は、さらに、前記テストモード時に前記N組のプリアンプの出力データ信号の論理が一致しているか否かを判定し、一致している場合は選択されたN組のメモリセルが正常であることを示す信号を出力し、一致していない場合は選択されたN組のメモリセルのうちの少なくとも1つのメモリセルが不良であることを示す信号を出力する判定回路を備える、請求項5に記載の半導体記憶装置。

【請求項7】 複数のメモリセルを含むメモリアレイと、データ伝達線対とを備えた半導体記憶装置であって、

アドレス信号に従って前記複数のメモリセルのうちのいずれかのメモリセルを選択し、そのメモリセルのデータを読出す読出回路、

前記読出回路によって読出されたデータが第1の論理である場合は前記データ伝達線対に含まれる第1および第2のデータ伝達線の一方端にそれぞれ第1および第2の電位を予め定められた時間だけパルス的に与えて前記第1および第2のデータ伝達線をそれぞれ前記第1および第2の電位間の第3および第4の電位にし、そのデータが第2の論理である場合は前記第1および第2のデータ伝達線の一方端にそれぞれ第2および第1の電位を前記予め定められた時間だけパルス的に与えて前記第1および第2のデータ伝達線をそれぞれ前記第4および第3の

電位にする第1の駆動回路、および前記第1および第2のデータ伝達線の他方端の電位を比較し、比較結果に応じたレベルのデータ信号を外部に出力する出力回路を備える、半導体記憶装置。

【請求項8】 前記第1の駆動回路は、それぞれが電源電圧によって駆動される直列接続された複数のインバータを有する遅延回路を含み、前記予め定められた時間は、前記読出回路の読出動作に同期した信号が前記遅延回路に入力されてから出力されるまでの時間である、請求項7に記載の半導体記憶装置。

【請求項9】 さらに、前記第1および第2のデータ伝達線に前記第1および第2の電位が与えられる前のイコライズ期間において前記第1および第2のデータ伝達線の電位を前記第1および第2の電位間の予め定められたプリチャージ電位にイコライズするイコライザを備える、請求項7または請求項8に記載の半導体記憶装置。

【請求項10】 前記イコライザは、ダイオード素子、および前記イコライズ期間において前記第1および第2のデータ伝達線と前記第2の電位のラインとの間に前記ダイオード素子を接続する接続回路を含む、請求項9に記載の半導体記憶装置。

【請求項11】 前記イコライザは複数設けられ、複数の前記イコライザは、前記第1および第2のデータ伝達線の延在方向に分散配置されている、請求項9または請求項10に記載の半導体記憶装置。

【請求項12】 さらに、前記イコライズ期間において前記第1および第2のデータ伝達線間を接続するサブイコライザを備える、請求項9から請求項11のいずれかに記載の半導体記憶装置。

【請求項13】 前記サブイコライザは複数設けられ、複数の前記サブイコライザは、前記第1および第2のデータ伝達線の延在方向に分散配置されている、請求項12に記載の半導体記憶装置。

【請求項14】 前記半導体記憶装置は、各メモリセルが正常か否かをテストするテストモードを有し、さらに、前記テストモード時は前記複数のサブイコライザのすべてを活性化させ、通常動作時は前記複数のサブイコライザのうちの予め選択されたサブイコライザのみを活性化させる制御回路を備える、請求項13に記載の半導体記憶装置。

【請求項15】 前記半導体記憶装置は、各メモリセルが正常か否かをテストするテストモードを有し、さらに、前記テストモード時に活性化され、前記読出回路によって読出されたデータが第1の論理である場合は前記第1のデータ伝達線を前記第1の電位にし、そのデータが第2の論理である場合は前記第2のデータ伝達線を前記第1の電位にする第2の駆動回路、および前記第1および第2のデータ伝達線の電位に基づいて、選択されたメモリセルが正常か否かを判定する判定回路を備

え、前記第1の駆動回路および前記出力回路は、前記テストモード時は非活性化される、請求項7から請求項14のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に、複数のメモリセルとデータ伝達線対とを備えた半導体記憶装置に関する。

【0002】

【従来の技術】従来より、シンクロナスDRAM（以下、SDRAMと称す）では、 $\times 4$ 、 $\times 8$ 、 $\times 16$ の3つの語構成からいずれか1つの語構成が選択可能になっている。 $\times 4$ 、 $\times 8$ 、 $\times 16$ の語構成では、それぞれ4ビット、8ビット、16ビットのデータを同時に入出力することが可能となる。

【0003】また、SDRAMでは、テスト時間の短縮化や同時にテストすることが可能なチップ数を増やすため、いわゆるマルチビットテスト（以下、MBTと称す）が可能となっている。このMBTでは、複数（たとえば4つ）のメモリセルが正常か否かのテストを1つのデータ入出力ピンから行なうことが可能となる。

【0004】図24は、そのようなSDRAMの要部を示すブロック図である。図24において、このSDRAMは、データバスDB0～DB3、DB6、セクタ151a～151d、ライトデータアンプ（以下、WDアンプと称す）152a～152d、ライトバッファ153a～153dおよびグローバルIO線対GIO0～GIOを備える。

【0005】セクタ151a～151dは、 $\times 4$ 構成における書込動作時はデータバスDB2をWDアンプ152a～152dに接続し、 $\times 8$ 構成における書込動作時はデータバスDB0をWDアンプ152a、152bに接続するとともにデータバスDB2をWDアンプ152c、152dに接続し、 $\times 16$ 構成における書込動作時はデータバスDB0～DB3をそれぞれWDアンプ152a～152dに接続し、MBT時はデータバスDB2をWDアンプ152b、152dに接続するとともにデータバスDB6をWDアンプ152a、152cに接続する。

【0006】WDアンプ152a～152dは、それぞれ、信号CBS0～CBS3が活性化レベルの「H」レベルになったことに応じて活性化され、外部からデータバスDB0～DB3、DB6を介して与えられたデータを増幅してライトバッファ153a～153dに与える。ライトバッファ153a～153dは、それぞれWDアンプ152a～152dから与えられたデータをグローバルIO線対GIO0～GIO3に伝達する。

【0007】 $\times 4$ 構成における書込動作時は、信号CBS0～CBS3のうちのいずれか1つの信号（たとえば

CBS0) が活性化レベルの「H」レベルになり、外部からデータバスDB2に与えられたデータがセクタ151a、WDアンプ152aおよびライトバッファ153aを介してグローバルIO線対GIO0に伝達される。グローバルIO線対GIO0に伝達されたデータは、選択されたメモリセルに書込まれる。

【0008】×8構成における書込動作時は、信号CBS0とCBS1のうちのいずれか1つの信号(たとえばCBS0)と、信号CBS2とCBS3のうちのいずれか1つの信号(たとえばCBS2)が活性化レベルの「H」レベルになり、外部からデータバスDB0に与えられたデータがセクタ151a、WDアンプ152aおよびライトバッファ153aを介してグローバルIO線対GIO0に伝達されるとともに、外部からデータバスDB2に与えられたデータがセクタ151c、WDアンプ152cおよびライトバッファ153cを介してグローバルIO線対GIO2に伝達される。グローバルIO線対GIO0、GIO2に伝達されたデータは、それぞれ選択された2つのメモリセルに書込まれる。

【0009】×16構成における書込動作時は、信号CBS0～CBS3がともに活性化レベルの「H」レベルになり、外部からデータバスDB0～DB3に与えられたデータがそれぞれセクタ151a～151d、WDアンプ152a～152dおよびライトバッファ153a～153dを介してグローバルIO線対GIO0～GIO3に伝達される。グローバルIO線対GIO0～GIO3に伝達されたデータは、それぞれ選択された4つのメモリセルに書込まれる。

【0010】MBTにおける書込動作時は、信号CBS0～CBS3がともに活性化レベルの「H」レベルになり、外部からデータバスDB2に与えられたデータがセクタ151b、151d、WDアンプ152b、152dおよびライトバッファ153b、153dを介してグローバルIO線対GIO1、GIO3に与えられるとともに、外部からデータバスDB6に与えられたデータがセクタ151a、151c、WDアンプ152a、152cおよびライトバッファ153a～153cを介してグローバルIO線対GIO0、GIO2に与えられる。グローバルIO線対GIO0～GIO3に伝達されたデータは、それぞれ選択された4つのメモリセルに書込まれる。

【0011】また、このSDRAMは、プリアンプ154a～154d、CASレイテンシーシフト(以下、CLシフトと称す)、セクタ156a～156d、158a～158dおよびリードデータバッファ(以下、RDバッファと称す)を備える。

【0012】プリアンプ154a～154dは、それぞれ信号PAE0～PAE3が活性化レベルの「H」レベルになったことに応じて活性化され、グローバルIO線対GIO0～GIO3に読出されたデータ信号を増幅す

る。CLシフト155a～155dは、それぞれプリアンプ154a～154dの出力信号を1クロック周期分だけ遅延させる。

【0013】セクタ156a～156dは、×4構成における読出動作時は、プリアンプ154a～154dのうちの信号PAE0～PAE3によって選択されたプリアンプ(たとえば154a)からCLシフト155aを介して与えられたデータをRDバッファ156cに与える。また、セクタ156a～156dは、×8構成における読出動作時は、プリアンプ154a、154bのうちの信号PAE0、PAE1によって選択されたプリアンプ(たとえば154a)からCLシフト155aを介して与えられたデータをRDバッファ157aに与えるとともに、プリアンプ154c、154dのうちの信号PAE2、PAE3によって選択されたプリアンプ(たとえば154c)からCLシフト155cを介して与えられたデータをRDバッファ157cに与える。また、セクタ156a～156dは、×16構成およびMBTにおける読出動作時は、それぞれ、プリアンプ154a～154dからCLシフト155a～155dを介して与えられたデータをRDバッファ157a～157dに与える。

【0014】セクタ158a～158dは、それぞれ、通常の読出動作時はRDバッファ157a～157dとデータバスDB0～DB3を結合させ、MBTにおける読出動作時はRDバッファ157a～157dとデータバスDB6、DB2、DB6、DB2を結合させる。

【0015】RDバッファ157a～157dは、それぞれ、セクタ156a～156dから与えられたデータに従って、通常の読出動作時はデータバスDB0～DB3を駆動させ、MBTにおける読出動作時はデータバスDB6、DB2、DB6、DB2を駆動させる。

【0016】×4構成における読出動作時は、信号PAE0～PAE3のうちのいずれか1つの信号(たとえば信号PAE0)が活性化レベルの「H」レベルになり、グローバルIO線対(この場合はGIO0)に読出されたデータがプリアンプ154a、CLシフト155a、セクタ156c、RDバッファ157cおよびセクタ158cを介してデータバスDB2に伝達される。データバスDB2に伝達されたデータは外部に出力される。

【0017】×8構成における読出動作時は、信号PAE0、PAE1のうちのいずれか1つの信号(たとえばPAE0)が活性化レベルの「H」レベルになり、グローバルIO線対(この場合はGIO0)に読出されたデータがプリアンプ154a、CLシフト155a、セクタ156a、RDバッファ157aおよびセクタ158aを介してデータバスDB0に伝達されるとともに、信号PAE2、PAE3のうちのいずれか1つの信

号(たとえばPAE2)が活性化レベルの「H」レベルになり、グローバルIO線対(この場合はGIO2)に読出されたデータがプリアンプ154c、CLシフト155c、セレクト156c、RDバッファ157cおよびセレクト158cを介してデータバスDB2に伝達される。データバスDB0、DB2に伝達されたデータは外部に出力される。

【0018】×16構成における読出動作時は、信号PAE0~PAE3がともに活性化レベルの「H」レベルになり、グローバルIO線対GIO0~GIO3に読出されたデータがそれぞれプリアンプ154a~154d、CLシフト155a~155d、セレクト156a~156d、RDバッファ157a~157dおよびセレクト158a~158dを介してデータバスDB0~DB3に伝達される。データバスDB0~DB3に伝達されたデータは外部に出力される。

【0019】MBTにおける読出動作時は、信号PAE0~PAE3がともに活性化レベルの「H」レベルになり、グローバルIO線対GIO0~GIO3に読出されたデータがそれぞれプリアンプ154a~154d、CLシフト155a~155d、セレクト156a~156d、RDバッファ157a~157dおよびセレクト158a~158dを介してデータバスDB6、DB2、DB6、DB2に伝達される。データバスDB6に読出された2ビットのデータが一致した場合は、2つのメモリセルが正常と判定され、一致しない場合は不良と判定される。データバスDB2に読出された2ビットのデータが一致した場合は、2つのメモリセルは正常と判定され、一致しない場合は不良と判定される。

【0020】以下、図24に示したブロックのうちデータの読出に関連する部分についてより詳細に説明する。

【0021】プリアンプ154cは、図25に示すように、PチャネルMOSTランジスタ161~165およびNチャネルMOSTランジスタ166~168を含む。プリアンプ154cの入出力ノードN161、N162は、それぞれグローバルIO線GIO2、/GIO2に接続される。PチャネルMOSTランジスタ161、162は、ノードN161とN162の間に直列接続され、各々のゲートがともに信号ZPAEQを受け、PチャネルMOSTランジスタ161、162はイコライザを構成する。信号ZPAEQが活性化レベルの「L」レベルになると、PチャネルMOSTランジスタ161、162が導通してノードN161、N162が「H」レベルにイコライズされる。

【0022】PチャネルMOSTランジスタ163は電源電位VCCのラインとノードN163の間に接続され、PチャネルMOSTランジスタ164、165がそれぞれノードN163とノードN161、N162との間に接続される。NチャネルMOSTランジスタ166、167はそれぞれノードN161、N162とノードN168との間に接続され、PチャネルMOSTランジスタ168はノードN168と接地電位VSSのラインとの間に接続される。MOSTランジスタ163、168のゲートはそれぞれ信号ZPAE2、PAE2を受ける。MOSTランジスタ164、166のゲートはともにノードN162に接続され、MOSTランジスタ165、167のゲートはともにノードN161に接続される。MOSTランジスタ163~168は、差動増幅器を構成する。この差動増幅器は、信号ZPAE2、PAE2がそれぞれ「L」レベルおよび「H」レベルになったことに応じて活性化され、ノードN161、N162のうちの電位が高い方のノードを「H」レベルにし、他方のノードを「L」レベルにする。ノードN161、N162に現れる信号が、プリアンプ154cの出力信号PDCL、/PDCLとなる。

【0023】読出動作時は、まず信号ZPAEQが非活性化レベルの「H」レベルに立上げられてPチャネルMOSTランジスタ161、162が非導通になりノードN161、162のイコライズが停止される。次いで、選択されたメモリセルからデータが読出され、そのデータに応じてグローバルIO線対GIO2、/GIO2間に微小電位差が生じる。次いで信号PAE、ZPAEがそれぞれ「H」レベルおよび「L」レベルになってMOSTランジスタ163~168からなる差動増幅器が活性化され、グローバルIO線GIO2、/GIO2のうちの電位の高い方が「H」レベル(電源電位VCC)にされ、電位の低い方が「L」レベル(接地電位VSS)にされる。

【0024】他のプリアンプ154a、154b、154dもプリアンプ154cと同じ構成である。ただし、プリアンプ154a、154b、154dには、信号PAE2、ZPAE2の代わりに信号PAE0、ZPAE0; PAE1、ZPAE1; PAE3、ZPAE3が与えられる。

【0025】なお、プリアンプ活性化信号PAE0~PAE3は、図26に示すように、プリアンプ活性化マスタ信号PACMとコラムブロックデコード信号CBS0~CBS3に基づいて生成される。

【0026】CLシフト155cは、図25に示すように、マスタラッチ回路169およびスレーブラッチ回路170を含む。ラッチ回路169、170は、プリアンプ154cの出力信号PDCL、/PDCLを反転させるとともに1クロック周期分だけ遅延させて出力する。スレーブラッチ回路170の出力信号PD2、ZPD2はセレクト156cに与えられる。他のCLシフト155a、155b、155dもCLシフト155cと同じ構成である。

【0027】セレクト156cは、図27に示すように、PチャネルMOST175、176およびNチャネルMOSTランジスタ181~188、191~198を

含む。PチャネルMOSTランジスタ175, 176は、電源電位VCCのラインと出力ノードN175, N176との間に接続され、各々のゲートがともに信号RDRV Mを受ける。NチャネルMOSTランジスタ181と182, 183と184, 185と186, 187と188は、それぞれノードN175と接地電位VSSのラインとの間に直列接続される。NチャネルMOSTランジスタ191と192, 193と194, 195と196, 197と198は、それぞれノードN176と接地電位VSSのラインとの間に直列接続される。

【0028】NチャネルMOSTランジスタ181, 183, 185, 187のゲートはそれぞれ信号PD0~PD3を受け、NチャネルMOSTランジスタ191, 193, 195, 197のゲートはそれぞれ信号ZPD0~ZPD3を受ける。NチャネルMOSTランジスタ182, 184, 192, 194のゲートは、ともに信号RDRV4を受ける。NチャネルMOSTランジスタ186, 196のゲートは、ともに信号RDRV4816を受ける。NチャネルMOSTランジスタ188, 198のゲートは、ともに信号RDRV48を受ける。ノードN175, N176に現れる信号がそれぞれ信号ZDRV, ZZDRVとなる。

【0029】信号RDRV4は、×4構成における読出動作時に活性化レベルの「H」レベルになる。信号RDRV48は、×4, ×8構成における読出動作時に活性化レベルの「H」レベルになる。信号RDRV4816は、×4, ×8, ×16構成およびMBTにおける読出動作時に活性化レベルの「H」レベルになる。

【0030】×4構成における読出動作時は、まず信号RDRV Mが所定時間だけ「H」レベルになってPチャネルMOSTランジスタ175, 176が所定時間だけ導通し、ノードN175, 176が「H」レベルにプリチャージされる。次いで、信号RDRV4, RDRV48, RDRV4816が活性化レベルの「H」レベルになってNチャネルMOSTランジスタ182, 184, 186, 188, 192, 194, 196, 198が導通するとともに、信号PD0~PD3, ZPD0~ZPD3のうちのいずれかの信号（たとえばPD3）が「H」レベルになってNチャネルMOSTランジスタ（この場合は187）が導通し、ノードN175が「L」レベルになる。

【0031】×8構成における読出動作時は、ノードN175, 176が「H」レベルにプリチャージされた後、信号RDRV48, RDRV4816が活性化レベルの「H」レベルになってNチャネルMOSTランジスタ186, 188, 196, 198が導通するとともに、信号PD2, PD3, ZPD2, ZPD3のうちのいずれかの信号（たとえばPD2）が「H」レベルになってNチャネルMOSTランジスタ（この場合は185）が導通し、ノードN175が「L」レベルになる。

【0032】×16構成およびMBTにおける読出動作時は、ノードN175, 176が「H」レベルにプリチャージされた後、信号RDRV4816が活性化レベルの「H」レベルになってNチャネルMOSTランジスタ186, 196が導通するとともに、信号PD2, ZPD2のうちのいずれかの信号（たとえばPD2）が「H」レベルになってNチャネルMOSTランジスタ（この場合は185）が導通し、ノードN175が「L」レベルになる。

【0033】なお、信号RDRV4, RDRV48, RDRV4816は、図28に示すように、NANDゲート201~203およびインバータ204~206により信号RDRV Mと語構成選択信号M×4, M×48, M×4816に基づいて生成される。すなわち、NANDゲート201は、信号RDRV M, M×4を受け、その出力信号がインバータ204で反転されて信号RDRV4となる。NANDゲート202は、信号RDRV M, M×48を受け、その出力信号はインバータ205で反転されて信号RDRV48となる。NANDゲート203は、信号RDRV M, M×4816を受け、その出力信号はインバータ206で反転されて信号RDRV4816となる。信号M×4は、×4構成の場合に「H」レベルとなる。信号M×48は、×4, ×8構成の場合に「H」レベルとなる。信号M×4816は、×4, ×8, ×16構成の場合に「H」レベルとなる。

【0034】他のセクタ156a, 156b, 156dもセクタ156cと同じ構成である。ただし、セクタ156aでは、信号RDRV4の代わりに信号RDRV816がNチャネルMOSTランジスタ182, 192のゲートに入力され、信号RDRV4の代わりに信号RDRV8がNチャネルMOSTランジスタ184, 194のゲートに入力され、NチャネルMOSTランジスタ186, 188, 196, 198のゲートは接地される。信号RDRV816は×8, ×16構成およびMBTにおける読出動作時に活性化レベルの「H」レベルになり、信号RDRV8は×8構成およびMBTにおける読出動作時に活性化レベルの「H」レベルになる。

【0035】セクタ156bでは、信号RDRV4の代わりに信号RDRV16がNチャネルMOSTランジスタ184, 194のゲートに入力され、NチャネルMOSTランジスタ182, 186, 188, 192, 196, 198のゲートが接地される。信号RDRV16は、×16構成およびMBTにおける読出動作時に活性化レベルの「H」レベルになる。セクタ156dでは、信号RDRV48の代わりに信号RDRV16がNチャネルMOSTランジスタ188, 198のゲートに入力されNチャネルMOSTランジスタ182, 184, 186, 192, 194, 196のゲートは接地される。

【0036】RDバッファ157cは、図29に示すよ

うに、インバータ211～214、NORゲート215、216、PチャネルMOSTランジスタ217、218およびNチャネルMOSTランジスタ219、220を含む。RDバッファ157cは、セクタ158cによってデータバスDB2に接続されているものとする。

【0037】PチャネルMOSTランジスタ217、218は、それぞれ電源電位VCCのラインとデータバス線DBL2、/DBL2との間に接続され、各々のゲートはそれぞれセクタ156cから信号ZDRV、ZZDRVを受ける。NチャネルMOSTランジスタ219、220は、それぞれ接地電位VSSのラインとデータバス線DBL2、/DBL2との間に接続される。NORゲート215は、信号TE、ZZDRVを受け、その出力信号φ215はNチャネルMOSTランジスタ219のゲートに入力される。NORゲート216は、信号TE、ZDRVを受け、その出力信号φ216はNチャネルMOSTランジスタ220のゲートに入力される。インバータ211、212は、ラッチ回路を構成し、信号ZDRVのレベルをラッチする。インバータ213、214は、ラッチ回路を構成し、信号ZZDRVのレベルをラッチする。他のRDバッファ157a、157b、157dもRDバッファ157cと同じ構成である。

【0038】図30は、データバスDB2に設けられたイコライザ221を示す回路図である。図30において、このイコライザ221は、NチャネルMOSTランジスタ222～224を含む。NチャネルMOSTランジスタ222、223はそれぞれデータバス線DBL2、/DBL2と接地電位VSSのラインとの間に接続され、NチャネルMOSTランジスタ224はデータバス線DBL2と/DBL2との間に接続される。NチャネルMOSTランジスタ222～224のゲートは信号DBEQを受ける。信号DBEQが活性化レベルの「H」レベルになると、NチャネルMOSTランジスタ222～224が導通してデータバス線DBL2、/DBL2は「L」レベル（接地電位VSS）にイコライズされる。イコライザ221は、データバスDB0～DB3、DB6の各々に設けられている。

【0039】図31は、図29に示したRDバッファ157cおよび図30に示したイコライザ221の通常の読出動作を示すタイムチャートである。図31において、通常の読出動作時は信号TEは「L」レベルに固定される。したがって、NORゲート215、216は、それぞれ信号ZZDRV、ZDRVに対してインバータとして動作する。初期状態においては、信号ZDRV、ZZDRVは「H」レベルになっており、MOSTランジスタ217～220はともに非導通になっている。また、イコライズが終了してNチャネルMOSTランジスタ222～224は非導通になっており、データバス線

DBL2、/DBL2はともに「L」レベルになり、かつハイインピーダンス状態になっている。

【0040】ある時刻においてメモセルのデータが読出され、たとえば信号ZDRVが「L」レベルになると、MOSTランジスタ217、220が導通してデータバス線DBL2、/DBL2はそれぞれ「H」レベルおよび「L」レベルになる。データバス線DBL2と/DBL2の電位が比較され、比較結果に応じたレベルの信号が読出データとして外部に出力される。

【0041】図32は、図29に示したRDバッファ157cおよび図30に示したイコライザ221のMBT時の読出動作を示すタイムチャートである。MBT時は、RDバッファ157cはセクタ158によってデータバスDB6と接続される。図32において、MBT時は信号TEは「H」レベルに固定される。したがって、NORゲート215、216の出力信号φ215、φ216は「L」レベルになり、NチャネルMOSTランジスタ219、220は非導通状態に固定される。初期状態においては、信号ZDRV、ZZDRVが「H」レベルになっており、PチャネルMOSTランジスタ217、218は非導通になっている。また、イコライズが終了してNチャネルMOSTランジスタ222～224は非導通になっており、データバス線DBL6、/DBL6はともに「L」レベルになり、かつハイインピーダンス状態になっている。

【0042】ある時刻においてメモセルのデータが読出され、たとえば信号ZDRVが「L」レベルになると、MOSTランジスタ217～220のうちのMOSTランジスタ217のみが導通してデータバス線DBL6が「L」レベルになる。データバス線/DBL6は、「L」レベルでかつハイインピーダンス状態のまま変化しない。このとき、RDバッファ159aによってもデータバスDB6が駆動される。MBTにおける書込動作時は、データバスDB6からセクタ151a、151b、WDアンプ152a、152c、ライトバッファ153a、153cおよびグローバルIO線対GIO0、GIO2を介して2つのメモセルに同一データを書込んでいる。

【0043】したがって、MBTにおける読出動作時は、2つのメモセルが正常であればグローバルIO線対GIO0、GIO2に同一のデータが読出され、データバス線DBL6、/DBL6のうちの一方のデータバス線（たとえばDBL6）のみが「H」レベルにされる。しかし、2つのメモセルの一方が不良であれば、グローバルIO線対GIO0、GIO2に互いに異なるデータが読出され、データバス線DBL6、/DBL6の両方が「H」レベルにされる。したがって、データバス線DBL6と/DBL6のレベルを比較することにより、2つのメモセルが正常か否かを判定でき、判定結果に応じたレベルの信号が外部に出力される。

【0044】

【発明が解決しようとする課題】従来のSDRAMは以上のように構成されていたので、以下のような問題があった。すなわち、グローバルIO線対GIO0～GIO3とプリアンプ154a～154dの入出力ノードN161、N162が直接接続されていたので、高速動作をさせようとするグローバルIO線対GIO0～GIO3のイコライズが不十分となり、読出動作が不安定になるという問題があった。

【0045】また、CLシフト155a～155dとRDバッファ157a～157dの間にセクタ156a～156dが設けられていたので、レイアウトが複雑になり、レイアウト面積が大きいという問題があった。

【0046】また、データバス線DBL、/DBLの各々を電源電位VCCまたは接地電位VSSに駆動させていたので、消費電流が大きいという問題があった。

【0047】それゆえに、この発明の主たる目的は、安定した読出動作が可能で、レイアウト面積が小さく、消費電流が小さな半導体記憶装置を提供することである。

【0048】

【課題を解決するための手段】請求項1に係る発明は、複数のメモリセルを備えた半導体記憶装置であって、その一方端に複数のメモリセルのうちの選択されたメモリセルから読出されたデータに応じた電位差が与えられるデータ伝達線対と、その入出力ノード対に与えられた電位差を増幅するプリアンプと、データ伝達線対の他方端とプリアンプの入出力ノード対との間に接続され、予め定められた時間だけパルス的に導通してデータ伝達線対間に生じた電位差をプリアンプの入出力ノード対に与えるためのスイッチング素子対と、プリアンプの出力信号を外部に伝達するための伝達回路とを備えたものである。

【0049】請求項2に係る発明では、請求項1に係る発明に、さらに、スイッチング素子対がパルス的に導通した後の第1のイコライズ期間にデータ伝達線対の電位を予め定められたプリチャージ電位にイコライズする第1のイコライザと、スイッチング素子対がパルス的に導通する前の第2のイコライズ期間にプリアンプの入出力ノード対の電位をプリチャージ電位にイコライズする第2のイコライザが設けられる。

【0050】請求項3に係る発明は、それぞれが複数のメモリセルを含む複数のメモリアレイを備えた半導体記憶装置であって、各メモリアレイに対応して設けられ、その一方端に対応のメモリアレイに属する複数のメモリセルのうちの選択されたメモリセルから読出されたデータに応じた電位差が与えられるデータ伝達線対と、その入出力ノード対に与えられた電位差を増幅するプリアンプと、アドレス信号に従って複数のデータ伝達線対のうちのいずれかのデータ伝達線対を選択し、そのデータ伝達線対の他方端とプリアンプの入出力ノード対とを予め定められた時間だけパルス的に接続してそのデータ伝達

線対間に生じた電位差をプリアンプの入出力ノード対に与えるためのセクタと、プリアンプの出力信号を外部に伝達するための伝達回路とを備えたものである。

【0051】請求項4に係る発明では、請求項3に係る発明に、さらに、データ伝達線対の他方端とプリアンプの入出力ノード対とがパルス的に接続された後の第1のイコライズ期間に各データ伝達線対間の電位を予め定められたプリチャージ電位にイコライズする第1のイコライザと、データ伝達線対の他方端とプリアンプの入出力ノード対とがパルス的に接続される前の第2のイコライズ期間にプリアンプの入出力ノード対の電位をプリチャージ電位にイコライズする第2のイコライザとが設けられる。

【0052】請求項5に係る発明は、それぞれが複数のメモリセルを含むN組（ただし、Nは2以上の整数である）のメモリアレイを備え、Nビットのデータ信号を同時に出力する第1の読出モードと、Mビット（ただし、MはNよりも小さな整数である）のデータ信号を同時に出力する第2の読出モードとを有する半導体記憶装置であって、各メモリアレイに対応して設けられ、その一方端に対応のメモリアレイに属する複数のメモリセルのうちの選択されたメモリセルから読出されたデータに応じた電位差が与えられるデータ伝達線対と、それぞれの入出力ノード対に与えられた電位差を増幅するN組のプリアンプと、第1の読出モード時はN組のデータ伝達線対の他方端とN組のプリアンプの入出力ノード対をそれぞれ接続し、第2の読出モード時はアドレス信号に従ってN組のデータ伝達線対のうちのM組のデータ伝達線対を選択し、選択したM組のデータ伝達線対の他方端をそれぞれ予め選択されたM組のプリアンプの入出力ノード対に接続するセクタと、各プリアンプに対応して設けられ、対応のプリアンプの出力データ信号を外部に伝達するための伝達回路とを備えたものである。

【0053】請求項6に係る発明では、請求項5に係る発明の半導体記憶装置は、さらに、各メモリセルが正常か否かをテストするテストモードを有し、セクタは、テストモード時はN組のデータ伝達線対の他方端とN組のプリアンプの入出力ノード対とをそれぞれ接続し、半導体記憶装置は、さらに、テストモード時にN組のプリアンプの出力データ信号の論理が一致しているか否かを判定し、一致している場合は選択されたN組のメモリセルが正常であることを示す信号を出力し、一致していない場合は選択されたN組のメモリセルのうちの少なくとも1つのメモリセルが不良であることを示す信号を出力する判定回路を備える。

【0054】請求項7に係る発明は、複数のメモリセルを含むメモリアレイと、データ伝達線対とを備えた半導体記憶装置であって、アドレス信号に従って複数のメモリセルのうちのいずれかのメモリセルを選択し、そのメモリセルのデータを読出す読出回路と、読出回路によ

て読出されたデータが第1の論理である場合はデータ伝達線対に含まれる第1および第2のデータ伝達線の一方端にそれぞれ第1および第2の電位を予め定められた時間だけパルス的に与えて第1および第2のデータ伝達線をそれぞれ第1および第2の電位間の第3および第4の電位にし、そのデータが第2の論理である場合は第1および第2のデータ伝達線の一方端にそれぞれ第2および第1の電位を予め定められた時間だけパルス的に与えて第1および第2のデータ伝達線をそれぞれ第4および第3の電位にする第1の駆動回路と、第1および第2のデータ伝達線の他方端の電位を比較し、比較結果に応じたレベルのデータ信号を外部に出力する出力回路とを備えたものである。

【0055】請求項8に係る発明では、請求項7に係る発明の第1の駆動回路は、それぞれが電源電圧によって駆動される直列接続された複数のインバータを有する遅延回路を含み、予め定められた時間は、読出回路の読出動作に同期した信号が遅延回路に入力されてから出力されるまでの時間である。

【0056】請求項9に係る発明では、請求項7または8に係る発明に、さらに、第1および第2のデータ伝達線に第1および第2の電位が与えられる前のイコライズ期間において第1および第2のデータ伝達線の電位を第1および第2の電位間の予め定められたプリチャージ電位にイコライズするイコライザが設けられる。

【0057】請求項10に係る発明では、請求項9に係る発明のイコライザは、ダイオード素子と、イコライズ期間において第1および第2のデータ伝達線と第2の電位のラインとの間にダイオード素子を接続する接続回路を含む。

【0058】請求項11に係る発明では、請求項9または10に係る発明のイコライザは複数設けられ、複数のイコライザは、第1および第2のデータ伝達線の延在方向に分散配置されている。

【0059】請求項12に係る発明では、請求項9から11のいずれかに係る発明に、さらに、イコライズ期間において第1および第2のデータ伝達線間を接続するサブイコライザが設けられる。

【0060】請求項13に係る発明では、請求項12に係る発明のサブイコライザは複数設けられ、複数のサブイコライザは、第1および第2のデータ伝達線の延在方向に分散配置されている。

【0061】請求項14に係る発明では、請求項13に係る発明の半導体記憶装置は、各メモリセルが正常か否かをテストするテストモードを有し、さらに、テストモード時は複数のサブイコライザのすべてを活性化させ、通常動作時は複数のサブイコライザのうちの予め選択されたサブイコライザのみを活性化させる制御回路を備える。

【0062】請求項15に係る発明では、請求項7から

14のいずれかに係る発明の半導体記憶装置は、各メモリセルが正常か否かをテストするテストモードを有し、さらに、テストモード時に活性化され、読出回路によって読出されたデータが第1の論理である場合は第1のデータ伝達線を第1の電位にし、そのデータが第2の論理である場合は第2のデータ伝達線を第1の電位にする第2の駆動回路と、第1および第2のデータ伝達線の電位に基づいて、選択されたメモリセルが正常か否かを判定する判定回路とを備える。ここで、第1の駆動回路および出力回路は、テストモード時は非活性化される。

【0063】

【発明の実施の形態】図1は、この発明の一実施の形態によるSDRAMの概略構成を示すブロック図である。図1において、このSDRAMは、クロックバッファ1、制御信号バッファ2、アドレスバッファ3、モードレジスタ4、制御回路5、4つのメモリアレイ6a~6d（バンク#0~#3）、4つの読出/書込回路7a~7d、おI/Oバッファ8を備える。

【0064】クロックバッファ1は、外部制御信号CKEによって活性化され、外部クロック信号CLKを制御信号バッファ2、アドレスバッファ3および制御回路5に伝達させる。制御信号バッファ2は、クロックバッファ1からの外部クロック信号CLKに同期して、外部制御信号/CS、/RAS、/CAS、/WE、DQMをラッチし、制御回路5に与える。アドレスバッファ3は、クロックバッファ1からの外部クロック信号CLKに同期して、外部アドレス信号A0~A12およびバンク選択信号BA0、BA1をラッチし、制御回路5に与える。

【0065】モードレジスタ4は、外部アドレス信号A0~A12によって指示されたモードを記憶し、そのモードに応じた内部コマンド信号を出力する。メモリアレイ6a~6dの各々は、行列状に配列され、それぞれが1ビットのデータを記憶する複数のメモリセルを含む。複数のメモリセルは、予めn個（但し、nは4、8および16から予め選択された数である）ずつグループ化されている。

【0066】制御回路5は、クロックバッファ1、制御信号バッファ2、アドレスバッファ3およびモードレジスタ4からの信号に従って種々の内部信号を生成し、SDRAM全体を制御する。制御回路5は、読出動作時および書込動作時は、バンク選択信号BA0、BA1に従って4つのメモリアレイ6a~6dのうちのいずれかのメモリアレイを選択し、アドレス信号A0~A12に従ってそのメモリアレイのうちのn個のメモリセルを選択する。

【0067】読出/書込回路7a~7dは、読出動作時は制御回路5によって選択されたn個のメモリセルからデータQ1~Qnを読出し、書込動作時は制御回路5によって選択されたn個のメモリセルにデータD1~Dn

を書込む。読出／書込回路7a～7dは、データバスDB0～DB15を介してIOバッファ8に結合される。

【0068】IOバッファ8は、読出動作時は読出／書込回路7a～7dからの読出データQ1～Qnを外部に出力し、書込動作時は外部から入力されたデータD1～Dnを読出／書込回路7a～7dに与える。

【0069】図2は、図1に示したSDRAMのチップレイアウトを示す図である。図2において、SDRAMは、長方形の半導体基板10の四隅にそれぞれ配置された4つのメモリマットMM1～MM4を含む。このSDRAMは256Mビットの記憶容量を有し、メモリマットMM1～MM4の各々は64Mビットの記憶容量を有する。メモリマットMM1～MM4は、さらに、それぞれチップ長辺方向に4つのメモリマットMM1a～MM1d, ..., MM4a～MM4dに分割されており、メモリマットMM1bとMM1c, ..., MM4bとMM4cの間にはそれぞれロウデコーダ11a～11dが配置されている。

【0070】また、メモリマットMM1～MM4のチップ中央側にはそれぞれコラムデコーダ12a～12d、コラムアドレスデコーダ13a～13dおよびローカルコラム回路14a～14dが配置されている。チップ中央部には、信号A0～A12, BA0, BA1, CLK, CKE, /CS, /RAS, /CAS, /WE, DQMを入力するための複数のパッド15およびデータ入出力用の複数のパッド16がチップ長辺方向に配列されている。パッド15、16列の両側にはデータバスDB0～DB7, DB8～DB15がそれぞれ配置されている。データバスDB0～DB7とDB8～DB15は、メモリマットMM1～MM4の各々とデータの授受を行なうため、各メモリマットMMの中央部で交差されている。

【0071】ここで、メモリマットMM1～MM4は、それぞれ図1のメモリアレイ6a～6dを含む。ロウデコーダ11a～11d、コラムデコーダ12a～12dおよびコラムアドレスデコーダ13a～13dは、図1の制御回路5に含まれる。また、ローカルコラム回路14a～14dは、図1の読出／書込回路7a～7dに含まれる。

【0072】メモリマットMM1aは、図3に示すように、チップ短辺方向(Y方向)に16のメモリアレイMA1～MA16に分割され、メモリアレイMA1～MA16の各々はチップ長辺方向(X方向)に8つのメモリブロックMKに分割されている。すなわち、メモリマットMM1aは、16行8列のメモリブロックMKに分割されている。コラムデコーダ12aに近い方の8つのメモリアレイMM1～MM8は第1のメモリアレイグループG1を構成し、コラムデコーダ12bから遠い方の8つのメモリアレイMA9～MA16は第2のメモリアレイグループG2を構成する。

【0073】各メモリアレイMAは、図中X方向に延在

する複数のワード線WLと、図中Y方向に延在する複数のビット線対BLPを含む。各ワード線WLの一方端は、ロウデコーダ11aに接続される。16のメモリアレイMA1～MA16に共通に複数の列選択線CSLが設けられ、各列選択線CSLの一方端はコラムデコーダ12aに接続される。

【0074】メモリアレイMA1～MA16の各間およびそれらの両側にX方向に延在するローカルIO線対LIOが配置され、偶数番の列のメモリブロックMKに沿ってY方向に延在するグローバルIO線対GIO0～GIO3がそれぞれ配置される。各ローカルIO線対LIOと4組のグローバルIO線対GIO0～GIO3のうちのいずれか1組のグローバルIO線対GIOとの間にブロック選択スイッチBSが配置される。ローカルIO線対LIOは、隣接する2つのメモリアレイMAによって共有される。2組のグローバルIO線対GIOは、1つのメモリアレイグループG1またはG2により利用される。

【0075】列選択線CSLは、メモリマットMM1aにおいて1本が選択状態とされる。1本の列選択線CSLは、チップ中央部から遠いメモリアレイグループG2において2つのビット線対BLPを選択して対応のローカルIO線対LIOへ接続し、かつチップ中央部に近いメモリアレイグループG1において2つのビット線対BLPを選択して対応のローカルIO線対LIOへ接続する。

【0076】すなわち、1本の列選択線CSLにより4つのビット線対BLPが選択状態とされ、ローカルIO線対LIOを介して4つのグローバルIO線対GIOに接続される。バンク#1すなわちメモリマットMM1が選択された場合は、メモリマットMM1a～MM1dの各々において4組のビット線対BLPが選択されるため、合計16組のビット線対BLPが選択されることになり、全体で合計16ビットのメモリセルに同時にアクセスすることが可能である。

【0077】図4は、図3のZ部の拡大図である。図4において、このSDRAMでは、いわゆる交互配置型シェアドセンスアンプ方式が採用されている。すなわち、メモリブロックMK1とMK2で共用されるローカルIO線対LIO2とセンスアンプ列SAC2がメモリブロックMK1とMK2の間の領域に設けられる。センスアンプ列SAC2のセンスアンプSAは、メモリブロックMK1およびMK2のたとえば偶数番のビット線対BLPに対応して設けられる。

【0078】また、メモリブロックMK2とMK3で共用されるローカルIO線対LIO3とセンスアンプ列SAC3がメモリブロックMK2とMK3の間の領域に設けられる。センスアンプ列SAC3のセンスアンプSAは、メモリブロックMK2およびMK3のたとえば奇数番のビット線対BLPに対応して設けられる。

【0079】たとえばメモリブロックMK2が選択された場合は、図4に示すように、センスアンプ列SAC2およびSAC3の各センスアンプSAはメモリブロックMK2の対応のビット線対BLPと接続される。センスアンプ列SAC2のうちの選択された列に対応するセンスアンプSAはローカルIO線対LIO2に接続され、さらにブロック選択スイッチBSを介してグローバルIO線対GIO2に接続される。また、センスアンプ列SAC3のうちの選択された列に対応するセンスアンプSAはローカルIO線対LIO3に接続され、さらに図示しないブロック選択スイッチBSを介して図示しないグローバルIO線対GIOに接続される。

【0080】図5は、1つのメモリブロックMK2に関連する部分の構成を示す一部省略した回路図である。図5においては、簡単化のため、メモリブロックMK2のうちのローカルIO線対LIO2およびセンスアンプ列SAC2に関連する部分のみが示され、ローカルIO線対LIO3およびセンスアンプ列SAC3に関連する部分は省略される。

【0081】図5を参照して、メモリブロックMK2は、ロウデコーダ11aからの行選択信号が伝達されるワード線WLと、このワード線WLと交差する方向に配置されるビット線対BLPと、ワード線WLとビット線対BLPの交差部に対応して配置されるダイナミック型メモリセルMCを含む。メモリセルMCは、アクセス用のトランジスタと、情報記憶用のキャパシタとを含む。ビット線対BLPは、互いに相補な信号が伝達されるビット線BLおよび/BLを含む。

【0082】図示しないメモリブロックMK1のローカルIO線対LIO2側の端部にアレイ選択ゲートSAG1が配置され、メモリブロックMK2のローカルIO線対LIO2側の端部にアレイ選択ゲートSAG2が配置される。アレイ選択ゲートSAG1は、アレイ選択信号φA1に応答して導通状態となり、アレイ選択ゲートSAG2はアレイ選択信号φA2に応答して導通状態となる。メモリブロックMK1およびMK2のビット線対BLPはそれぞれアレイ選択ゲートSAG1およびSAG2を介してセンスアンプ列SAC2のセンスアンプSAに接続される。センスアンプSAはセンスアンプ活性化信号SONによって活性化される。

【0083】各センスアンプSAに対し、このセンスアンプSAに接続されたビット線BL、/BLにプリチャージ電位VCC/2を与えるためのビット線イコライザEQB2が設けられる。ビット線イコライザEQB2は、データ読出動作時においてセンスアンプSAが活性化されるまでの期間に、ビット線イコライズ信号BLEQによって活性化される。

【0084】また、各センスアンプSAに対してこのセンスアンプSAにより検知増幅されたデータをローカルIO線対LIO2へ伝達するための列選択ゲートCSG

2が設けられる。ローカルIO線対LIO2には、ローカルIO線イコライズ信号LIOEQによって活性化され、ローカルIO線対LIOにプリチャージ電位VCCを与えるためのローカルIO線イコライザEQ L2が設けられる。ローカルIO線対LIO2とグローバルIO線対GIOとの間に、ブロック選択信号φBに応答して導通するブロック選択スイッチBSが設けられる。グローバルIO線対GIOには、グローバルIO線イコライズ信号GIOEQによって活性化され、グローバルIO線対GIOにプリチャージ電位VCCを与えるためのグローバルIO線イコライザEQG2が設けられる。

【0085】次に、動作について簡単に説明する。まずイコライズ信号BLEQ、LIOEQ、GIOEQが「L」レベルになってビット線対BLP、ローカルIO線対LIOおよびグローバルIO線対GIOのイコライズは停止され、ロウデコーダ11aによって1本のワード線WLが選択される。選択されたワード線WLがメモリブロックMK2に含まれている場合、アレイ選択信号φA2が活性化レベルとなり、メモリブロックMK2に含まれるビット線対BLPがセンスアンプ列SAC2のセンスアンプSAに接続される。メモリブロックMK1に対して設けられたアレイ選択ゲートSAG1は非導通状態となる。メモリブロックMK1はプリチャージ状態を維持する。

【0086】メモリブロックMK2においては、各ビット線対BLPにおいてメモリセルデータが現れた後、センスアンプSAが活性化され、このメモリセルデータを検知増幅する。

【0087】続いて、列選択線CSLが活性化レベルの「H」レベルに立上げられると、一組の列選択ゲートCSG2が導通し、センスアンプSAで検知増幅されたデータがローカルIO線対LIO2へ伝達される。

【0088】続いて、ブロック選択信号φBが活性化レベルの「H」レベルとなり、ローカルIO線対LIO2がグローバルIO線対GIO2に接続される。データ読出動作時においては、このグローバルIO線対GIO2のデータがローカルコラム回路14a、データバスDBおよび入出力パッド16を介して外部に出力される。データ書込動作時においては、外部から入出力パッド16、データバスDBおよびローカルコラム回路14aを介して与えられた書込データがグローバルIO線対GIO2、およびローカルIO線対LIOGを介して選択されたビット線対BLPへ伝達され、メモリセルMCへのデータの書込が実行される。

【0089】ブロック選択信号φBは、選択ワード線WLが属するメモリブロックMK2に対してのみ活性化レベルとなる。アレイ選択信号φA1およびφA2も同様である。ブロック選択信号φBおよびアレイ選択信号φA1、φA2は、行アドレス信号の所定数のビット（たとえば4ビット）を用いて生成することができる。

【0090】図6は、このようなSDRAMにおいて連続して8ビットのデータを読み出す動作を行なうときの外部信号の状態を示すタイムチャートである。なお、連続的に読出されるまたは書込まれるデータのビット数はバースト長と呼ばれ、SDRAMではモードレジスタ4によって変更することが可能である。

【0091】SDRAMにおいては、外部クロック信号CLKの立上がりエッジで外部制御信号やアドレス信号A0～A12などが取込まれる。アドレス信号A0～A12は、時分割的に多重化された行アドレス信号Xと列アドレス信号Yを含む。

【0092】サイクル1におけるクロック信号CLKの立上がりエッジにおいて、信号/RASが活性化レベルの「L」レベル、信号/CAS、/WEが「H」レベルであれば、そのときのアドレス信号A0～A12が行アドレス信号Xaとして取込まれる。

【0093】次いで、サイクル4におけるクロック信号CLKの立上がりエッジにおいて、信号/CASは活性化レベルの「L」レベルであれば、そのときのアドレス信号A0～A12が列アドレス信号Ybとして取込まれる。この取込まれた行アドレス信号Xaおよび列アドレス信号Ybに従ってSDRAM内において行および列選択動作が実施される。信号/RASが「L」レベルに立下がってから所定のクロック期間（図6においては6クロックサイクル）が経過した後、最初のデータB0が出力される。以降、クロック信号CLKの立下がりに応答してデータb1～b7が順次出力される。

【0094】図7は、SDRAMにおいて連続して8ビットのデータを書込む動作を行なうときの外部信号の状態を示すタイムチャートである。

【0095】書込動作においては、行アドレス信号Xaの取込はデータ読出時と同様である。すなわち、サイクル1におけるクロック信号CLKの立上がりエッジにおいて信号/RASは活性化レベルの「L」レベル、信号/CAS、/WEが「H」レベルであれば、そのときのアドレス信号A0～A12が行アドレス信号Xaとして取込まれる。サイクル4におけるクロック信号CLKの立上がりエッジにおいて信号/CAS、/WEがともに活性化レベルの「L」レベルであれば、列アドレス信号Ybが取込まれるとともに、そのときに与えられたデータb0が最初の書込データとして取込まれる。この信号/RAS、/CASの立上がりエッジに応答してSDRAM内部において行および列選択動作が実行される。クロック信号CLKに同期して順次入力データb1～b7が取込まれ、順次メモリセルにこの入力データが書込まれる。

【0096】以下、この発明の特徴となるデータの読出/書込に関連する部分について詳細に説明する。図8は、図2に示したローカルコラム回路14aのうちのメモリマットMM1aに対応する部分を示すブロック図で

ある。図8において、このローカルコラム回路14aは、セレクト21a～21d、WDアンプ22a～22dおよびライトバッファ23a～23bを備える。

【0097】セレクト21a～21dは、×4構成における書込動作時はデータバスDB2をWDアンプ22a～22dに接続し、×8構成における書込動作時はデータバスDB0をWDアンプ22a、22bに接続するとともにデータバスDB2をWDアンプ22c、22dに接続し、×16構成における書込動作時はデータバスDB0～DB3をそれぞれWDアンプ22a～22dに接続し、MBT時はデータバスDB2をWDアンプ22b、22dに接続するとともにデータバスDB6をWDアンプ22a、22cに接続する。

【0098】WDアンプ22a～22dはそれぞれ、信号CBS0～CBS3が活性化レベルの「H」レベルになったことに応じて活性化され、外部からデータバスDB0～DB3、DB6を介して与えられたデータを増幅してライトバッファ23a～23dに与える。信号CBS0～CBS3は、コラムアドレス信号CA9、CA11から生成される。ライトバッファ23a～23dは、それぞれWDアンプ22a～22dが与えられたデータをグローバルIO線対GIO0～GIO3に伝達する。

【0099】×4構成における書込動作時は、信号CBS0～CBS3のうちのいずれか1つの信号（たとえばCBS0）は活性化レベルの「H」レベルになり、外部データバスDB2に与えられたデータがセレクト21a、WDアンプ22aおよびライトバッファ23aを介してグローバルIO線対GIOに伝達される。

【0100】×8構成における書込動作時は、信号CBS0とCBS1のうちのいずれか1つの信号（たとえばCBS0）と、信号CBS2とCBS3のうちのいずれか1つの信号（たとえばCBS2）とが活性化レベルの「H」レベルになり、外部からデータバスDB0に与えられたデータがセレクト21a、WDアンプ22aおよびライトバッファ23aを介してグローバルIO線対GIOに伝達されるとともに、外部から与えられるデータバスDB2に与えられたデータがセレクト21c、WDアンプ22cおよびライトバッファ23cを介してグローバルIO線対GIO2に伝達される。

【0101】×16構成における書込動作時は、信号CBS0～CBS3がともに活性化レベルの「H」レベルになり、外部からデータバスDB0～DB3に与えられたデータはそれぞれセレクト21a～21d、WDアンプ22a～22dおよびライトバッファ23a～23dを介してグローバルIO線対GIO0～GIO3に伝達される。

【0102】MBTにおける書込動作時は、信号CBS0～CBS3がともに活性化レベルの「H」レベルになり、外部からデータバスDB2に与えられたデータがセレクト21b、21d、WDアンプ22b、22dおよ

びライトバッファ23b, 23dを介してグローバルIO線対GIO1, GIO3に与えられるとともに、外部からデータバスDB6に与えられたデータがセクタ21a, 21c, WDアンプ22a, 22cおよびライトバッファ23a, 23cを介してグローバルIO線対GIO0, GIO2に与えられる。

【0103】また、このローカルコラム回路14aは、セクタ24a~24d、プリアンプ25a~25d、マスタラッチ回路26a~26d、スレーブラッチ回路27a~27d、RDバッファ28a~28d、およびMBTバッファ29a~29dを備える。

【0104】セクタ24a~24dは、×4構成における読出動作時は信号CBS0~CBS3に従ってグローバルIO線対GIO0~GIO3のうちのいずれか1組のグローバルIO線対GIOをプリアンプ25cにパルス的に接続し、×8構成における読出動作時は信号CBS0, CBS1に従ってグローバルIO線対GIO0, GIO1のうちのいずれか1組のグローバルIO線対GIOをプリアンプ25aにパルス的に接続するとともに信号CBS2, CBS3に従ってグローバルIO線対GIO2およびGIO3のうちのいずれか1組のグローバルIO線対GIOをプリアンプ25cにパルス的に接続し、×16構成およびMBTにおける読出動作時はグローバルIO線対GIO0~GIO3をそれぞれプリアンプ25a~25dにパルス的に接続する。信号CBS0~CBS3は、2ビットの列アドレス信号に基づいてコラムプリデコード13aおよびコラムデコード12aで生成される。

【0105】プリアンプ25a~25dは、それぞれ、グローバルIO線対GIOからセクタ24a~24dを介して与えられた読出データ信号を増幅する。プリアンプ25a~25dの出力信号はそれぞれマスタラッチ回路26a~26dに与えられ、各々の反転出力信号はそれぞれRDバッファ28a~28dおよびMBTバッファ29a~29dに与えられる。ラッチ回路26a, 27a, …26d, 27dは、それぞれCLシフトを構成し、プリアンプ25a~25dの出力信号を1クロック周期分だけ遅延させてRDバッファ28a~28dおよびMBTバッファ29a~29dに与える。なお、マスタラッチ回路26cおよびスレーブラッチ回路27cをそれぞれプリアンプ25cおよびバッファ28c, 29c側に配置したのは、セクタ24c、プリアンプ25cおよびマスタラッチ回路26cの面積とスレーブラッチ回路27cおよびバッファ28c, 29cの面積とが等しくなるようにするためである。

【0106】RDバッファ28a~28dは、それぞれ、読出動作時に活性化され、プリアンプ25a~25dの出力信号およびスレーブラッチ回路27a~27dの出力信号に従ってデータバスDB0~DB3をパルス的に駆動させる。MBTバッファ29a~29dは、そ

れぞれ、MBTにおける読出動作時に活性化され、プリアンプ25a~25dの出力信号およびスレーブラッチ回路27a~27dの出力信号に従ってデータバスDB6, DB2, DB6, DB2を駆動させる。

【0107】×4構成における読出動作時は、セクタ24a~24dのうちのセクタ24cのみが活性化されるとともに信号CBS0~CBS3のうちのいずれか1つの信号（たとえばCBS0）が活性化レベルの「H」レベルになり、グローバルIO線対（この場合はGIO0）に読出されたデータがセクタ24c、プリアンプ25c、ラッチ回路26c, 27cおよびRDバッファ28cを介してデータバスDB2にパルス的に与えられる。

【0108】×8構成における読出動作時は、セクタ24a~24dのうちの2つのセクタ24a, 24cが活性化され、信号CBS0, CBS1のうちのいずれか1つの信号（たとえばCBS0）が活性化レベルの「H」レベルになり、グローバルIO線対（この場合はGIO0）に読出されたデータがセクタ24a、プリアンプ25a、ラッチ回路26a, 27aおよびRDバッファ28aを介してデータバスDB0にパルス的に与えられるとともに、信号CBS2, CBS3のうちのいずれか1つの信号（たとえばCBS2）が活性化レベルの「H」レベルになり、グローバルIO線対（この場合はGIO2）に読出されたデータがセクタ24c、プリアンプ25c、ラッチ回路26c, 27cおよびRDバッファ28cを介してデータバスDB2にパルス的に与えられる。

【0109】×16構成における読出動作時は、4つのセクタ24a~24dはともに活性化されるとともに、信号CBS0, CBS2が活性化レベルの「H」レベルになり、グローバルIO線対GIO0~GIO3に読出されたデータがそれぞれセクタ24a~24d、プリアンプ25a~25d、ラッチ回路26a~26d, 27a~27dおよびRDバッファ28a~28dを介してデータバスDB0~DB3にパルス的に与えられる。

【0110】MBTにおける読出動作時は、4つのセクタ24a~24dはともに活性化されるとともに信号CBS0, CBS2が活性化レベルの「H」レベルになり、グローバルIO線対GIO0~GIO3に読出されたデータはそれぞれセクタ24a~24d、プリアンプ25a~25d、ラッチ回路26a~26d, 27a~27dおよびMBTバッファ29a~29dを介してデータバスDB6, DB2, DB6, DB2に与えられる。

【0111】以下、このSDRAMのデータ読出に関連する部分についてさらに詳細に説明する。セクタ24cは、図9に示すように、PチャネルMOSトランジスタ31~38、NANDゲート40~44およびインバ

ータ41, 42を含む。PチャネルMOSTランジスタ31, 33, 35, 37は、それぞれグローバルIO線GIOL0~GIOL3とノードN31との間に接続される。PチャネルMOSTランジスタ32, 34, 36, 38は、それぞれグローバルIO線/GIOL0~GIOL3とノードN32との間に接続される。

【0112】信号PAELは、インバータ41によって反転される。NANDゲート44は、インバータ41の出力信号と信号PACMと信号M×4816とを受け、NANDゲート44の出力信号は、インバータ46によって反転されて信号φ42となる。NANDゲート40は、信号φ42, CBS0, M×4を受け、その出力信号ZPADT0はPチャネルMOSTランジスタ31, 32のゲートに入力される。NANDゲート41は、信号φ42, CBS1, M×4を受け、その出力信号ZPADT1はPチャネルMOSTランジスタ33, 34のゲートに入力される。NANDゲート42は、信号φ42, CBS2および「H」レベルの信号を受け、その出力信号ZPADT2はPチャネルMOSTランジスタ35, 36のゲートに入力される。NANDゲート43は、信号φ42, CBS3, M×48を受け、その出力信号ZPADT3はPチャネルMOSTランジスタ37, 38のゲートに入力される。

【0113】ここで語構成選択信号M×4816は×4, ×8, ×16のすべての語構成で「H」レベルとなる。信号M×4は語構成が×4の場合に「H」レベルとなり、信号M×48は語構成が×4, ×8の場合に「H」レベルとなる。

【0114】他のセクタ24a, 24b, 24dもセクタ24cと同じ構成である。ただし、セクタ24aでは、信号CBS2, CBS3の代わりに「L」レベルの信号がNANDゲート42, 43に与えられて信号ZPADT2, ZPADT3が「H」レベルに固定され、PチャネルMOSTランジスタ35~38が非導通状態に固定される。また、信号M×4の代わりに信号M×816がNANDゲート40に与えられ、信号M×4の代わりに信号M×8がNANDゲート41に与えられる。信号M×816は語構成が×8, ×16の場合に「H」レベルになり、信号M×8は語構成が×8の場合に「H」レベルとなる。

【0115】セクタ24bでは、信号CBS0, CBS2, CBS3の代わりに「L」レベルの信号がNANDゲート40, 42, 43に与えられて信号ZPADT0, ZPADT2, ZPADT3が「H」レベルに固定され、PチャネルMOSTランジスタ31, 32, 35~37は非導通状態に固定される。また、信号M×4の代わりに信号M×16がNANDゲート41に与えられる。信号M×16は、語構成が×16の場合に「H」レベルになる。

【0116】セクタ24dでは、信号CBS0~CB

S2の代わりに「L」レベルの信号がNANDゲート40~42に与えられて信号ZPADT0~ZPADT2が「H」レベルに固定され、PチャネルMOSTランジスタ32~36が非導通状態に固定される。また、信号M×48の代わりに信号M×16がNANDゲート43に与えられる。

【0117】プリアンプ25cは、図10に示すように、PチャネルMOSTランジスタ51~55、NチャネルMOSTランジスタ56~58、NANDゲート59およびインバータ60~62を含む。PチャネルMOSTランジスタ51, 52は、図9で示したノードN31とN32の間に直列接続され、各々ゲートはともに信号ZPAEQを受ける。PチャネルMOSTランジスタ51, 52はイコライザを構成する。信号ZPAEQが活性化レベルの「L」レベルになると、PチャネルMOSTランジスタ51, 52が導通してノードN31, N32が「H」レベルにイコライズされる。

【0118】PチャネルMOSTランジスタ53は電源電位VCCのラインとノードN53の間に接続され、PチャネルMOSTランジスタ54, 55はそれぞれノードN53とノードN31, N32との間に接続される。NチャネルMOSTランジスタ56, 57はそれぞれノードN31, N32とノードN58との接続され、PチャネルMOSTランジスタ58はノードN58と接地電位VSSのラインとの間に接続される。MOSTランジスタ53, 58のゲートはそれぞれ信号ZPAE, PAEを受ける。MOSTランジスタ54, 56のゲートはともにノードN32に接続され、MOSTランジスタ55, 57のゲートはともにノードN31に接続される。MOSTランジスタ53~58は、差動増幅器を構成する。この差動増幅器は、信号ZPAE, PAEが「L」レベルおよび「H」レベルになったことに応じて活性化され、ノードN31, N32のうちの電位が高い方のノードを「H」レベルにし、他方のノードを「L」レベルにする。ノードN31, N32に現れる信号が、プリアンプ25cの出力信号PDCL1, /PDCL1となる。

【0119】NANDゲート59は、信号PAEL, M×4816を受け、その出力信号が信号ZPAEとなる。信号ZPAEは、インバータ60で反転されて信号PAEとなる。信号PDCL1, /PDCL1は、それぞれインバータ61, 62で反転されてプリアンプ25cの反転出力信号PDCL2, /PDCL2となる。他のプリアンプ25a, 25b, 25dもプリアンプ25cと同じ構成である。

【0120】図11は、図9および図10で示したセクタ24cおよびプリアンプ25cの動作を示すタイムチャートである。列選択信号CSLが活性化レベルの「H」レベルに立上げられると、信号ZPAEQが非活性化レベルの「H」レベルに立上げられ、図10のPチ

チャネルMOSトランジスタ51, 52が非導通になり、ノードN31, N32のイコライズが停止される。また、プリアンプ活性化マスタ信号PACMが活性化レベルの「H」レベルに立上がり、その遅延信号であるプリアンプ活性化ローカル信号PAELが活性化レベルの「H」レベルに立上がる。

【0121】したがって、図9の信号φ42は、信号PACMが「H」レベルに立上ってから、信号PAELが「H」レベルに立上がるまでの間だけ「H」レベルになる。これにより、信号ZPADT0~ZPADT3のうちの信号M×4, M×48および信号CBS0~CBS3で選択された信号（たとえばZPADT0）がパルス的に「L」レベルになり、それに対応するPチャネルMOSトランジスタ（この場合は31, 32）がパルス的に導通して、グローバルIO線GIOLO, /GIOLOの電位がノードN31, N32に伝達される。この後、グローバルIO線GIOLO, /GIOLOのイコライズが行なわれる。

【0122】また、信号PAELが「H」レベルになると、信号ZPAE, PAEがそれぞれ「L」レベルおよび「H」レベルになってMOSトランジスタ53~58からなる差動増幅器が活性化され、ノードN31, N32のうちの電位が高い方のノードが「H」レベルにされ、他方のノードが「L」レベルにされる。プリアンプ25cの出力信号PDCL1, /PDCL1はマスタラッチ回路26cに与えられ、プリアンプ25cの反転出力信号PDCL2, /PDCL2はRDバッファ28cおよびMBTバッファ29cに与えられる。

【0123】マスタラッチ回路26cは、図12に示すように、クロックインバータ63, 64およびインバータ65~68を含む。信号PDCL1, /PDCL1は、それぞれクロックインバータ63, 64に入力される。クロックインバータ63, 64は、ともに信号PAE, ZPAEが「H」レベルおよび「L」レベルである期間に活性化される。インバータ65, 66は、ラッチ回路を構成し、クロックインバータ63の出力レベルをラッチする。インバータ67, 68は、ラッチ回路を構成し、クロックインバータ64の出力レベルをラッチする。インバータ65, 66; 67, 68にラッチされたレベルがそれぞれマスタラッチ回路26cの出力信号PDCL3, /PDCL3となる。

【0124】スレーブラッチ回路27cは、図12に示すように、クロックインバータ69, 70およびインバータ71~74を含む。信号PDCL3, /PDCL3は、それぞれクロックインバータ69, 70に入力される。クロックインバータ69, 70は、ともに信号ZRDRV, RDRVがそれぞれ「H」レベルおよび「L」レベルである期間に活性化される。インバータ71, 72は、ラッチ回路を構成し、クロックインバータ69の出力レベルをラッチする。インバータ7

3, 74はラッチ回路を構成し、クロックインバータ70の出力レベルをラッチする。インバータ71, 72; 73, 74にラッチされたレベルがそれぞれスレーブラッチ回路27cの出力信号PDD, /PDDとなる。

【0125】信号PAE, ZPAEがそれぞれ「H」レベルおよび「L」レベルになるとクロックインバータ63, 64が活性化されて信号PDCL1, /PDCL1がマスタラッチ回路26cに取込まれ、信号PAE, ZPAEがそれぞれ「L」レベルになるとクロックインバータ63, 64が非活性化されて信号PDCL3, /PDCL3がマスタラッチ回路26cにラッチされる。

【0126】信号ZRDRV, RDRVがそれぞれ「H」レベルになるとクロックインバータ69, 70が活性化されて信号PDCL3, /PDCL3がスレーブラッチ回路27cに取込まれ、信号ZRDRV, RDRVがそれぞれ「L」レベルおよび「H」レベルになるとクロックインバータ69, 70が非活性化されて信号PDD, /PDDがスレーブラッチ回路27cにラッチされる。

【0127】マスタラッチ回路26cとスレーブラッチ回路27cは、CLシフトを構成し、信号PDCL1, /PDCL1を1クロック周期分だけ遅延させてRDバッファ28cおよびMBTバッファ29cに伝達させる。他のマスタラッチ回路26a, 26b, 26dもマスタラッチ回路26cと同じ構成であり、他のスレーブラッチ回路27a, 27b, 27dもスレーブラッチ回路27cと同じ構成である。

【0128】RDバッファ28cは、図13に示すように、PチャネルMOSトランジスタ71~80, NチャネルMOSトランジスタ81~88, NORゲート89, NANDゲート90, 91およびインバータ92~96を含む。PチャネルMOSトランジスタ71, 72のソースは電源電位VCCのラインに接続され、各々のドレインはPチャネルMOSトランジスタ73を介してノードN79に接続される。ノードN79に現れる信号は信号ZDRVとなる。NチャネルMOSトランジスタ82, 85, 86は、ノードN79と電源電位VSSのラインとの間に直列接続され、NチャネルMOSトランジスタ81はノードN79とNチャネルMOSトランジスタ86のドレイン（ノードN86）との間に接続される。

【0129】PチャネルMOSトランジスタ74, 75のソースは電源電位VCCのラインに接続され、各々のドレインはPチャネルMOSトランジスタ76を介してノードN80に接続される。ノードN80に現れる信号は信号ZDRVとなる。NチャネルMOSトランジスタ83, 84はそれぞれノードN80とノードN85, N86との間に接続される。PチャネルMOSトランジ

スタ77, 78は、それぞれ電源電位VCCのラインとノードN79, N80との間に接続される。

【0130】信号PDDはMOSTランジスタ75, 84のゲートに入力され、信号ZPDDはMOSTランジスタ72, 82のゲートに入力される。信号PDCL2はMOSTランジスタ76, 83のゲートに入力され、信号/PDCL2はMOSTランジスタ73, 81のゲートに入力される。MOSTランジスタ71, 74, 85のゲートには信号RDRVMが入力され、MOSTランジスタ77, 78, 86のゲートには信号ZRDCUTが入力される。

【0131】PチャネルMOSTランジスタ79, 80は、それぞれ電源電位VCCのラインとデータバス線/DBL2, DBL2に接続され、各々のゲートはそれぞれ信号ZDRV, ZZDRVを受ける。データバス線/DBL2, DBL2はデータバスDB2を構成する。NチャネルMOSTランジスタ87, 88は、それぞれ接地電位VSSのラインとデータバス線/DBL2, DBL2との間に接続される。信号ZZDRV, ZDRVは、それぞれインバータ95, 96を介してNチャネルMOSTランジスタ87, 88のゲートに入力される。

【0132】NORゲート89は、信号PDCL2, /PDCL2を受ける。NANDゲート90は、信号RDRVM, M×4816, ZTEを受ける。信号ZTEは、MBT時に「L」レベルになり、通常の動作時は「H」レベルになる信号である。NANDゲート91は、NORゲート89およびNANDゲート90の出力信号を受け、その出力信号はインバータ92～94を介してPチャネルMOSTランジスタ77, 78のゲートに入力される。インバータ94の出力信号は信号ZRDCUTとなる。

【0133】図14は、図13に示したRDバッファ28cの動作を示すタイムチャートである。各クロックサイクル期間においてクロック信号CLKの立上がりエッジにตอบสนองして列選択線CSLが「H」レベルに立上げられ、さらに信号PAEが「H」レベルに立上げられ、プリアンプ25cの出力信号がマスタラッチ回路26cに取込まれる。図10および図11で示したように、信号PAEが「L」レベルになると信号ZPAEQが「L」レベルとなり、ノードN31, N32がイコライズされて信号PDCL2, /PDCL2がともに「L」レベルになる。また、この時点では信号RDRVMは「L」レベルになっており、信号ZRDCUDは「H」レベルになっている。したがって、MOSTランジスタ71, 73, 74, 76, 86が導通し、MOSTランジスタ77, 78, 81, 83, 85が非導通となって、ノードN79, N80が「H」レベルになっている。また、ノードN79, 80が「H」レベルであるからMOSTランジスタ79, 80, 87, 88が非導通になり、データバス線DBL2, /DBL2はプリチャージ電位VD

Bにプリチャージされている。

【0134】次いでクロック信号CLKの立上がりエッジにตอบสนองして信号RDRVMが「H」レベルに立上がり、NチャネルMOSTランジスタ85, 86がともに導通して、信号PDD, ZPDDのうちの「H」レベルの方の信号（たとえばPDD）をそのゲートに受けるNチャネルMOSTランジスタ（この場合は84）を介してノードN80が「L」レベルに立下げられ、PチャネルMOSTランジスタ80およびNチャネルMOSTランジスタ87が導通する。次いでNANDゲート90, 91およびインバータ92～94の遅延時間（約1ns）経過後に信号ZRDCUDが「L」レベルに立下がり、PチャネルMOSTランジスタ77, 78が導通するとともにNチャネルMOSTランジスタ86が非導通になってノードN80が「H」レベルに立上げられ、PチャネルMOSTランジスタ80およびNチャネルMOSTランジスタ87が非導通になる。したがって、データバス線DBL2, /DBL2は、NANDゲート90, 91およびインバータ92～94の遅延時間だけパルス的に駆動される。

【0135】他のRDバッファ28a, 28b, 28dもRDバッファ28cと同じ構成である。ただし、RDバッファ28aでは信号M×4816の代わりに信号M×816がNANDゲート60に与えられ、RDバッファ28b, 28dでは信号M×4816の代わりに信号M×16がNANDゲート64に与えられる。

【0136】MBTバッファ29cは、図15に示すように、インバータ100～104、NANDゲート105～108およびPチャネルMOSTランジスタ109, 110を含む。信号ZTEは、インバータ100によって反転される。信号PDCL2, /PDCL2は、それぞれインバータ101, 102によって反転される。NANDゲート105は、信号PDD, RDRVMおよびインバータ100の出力信号を受ける。NANDゲート106は、信号ZPDD, RDRVMおよびインバータ100の出力信号を受ける。NANDゲート107は、インバータ101およびNANDゲート105の出力信号を受け、その出力信号はインバータ103で反転されて信号ZMBDRVとなる。NANDゲート108は、インバータ102およびNANDゲート106の出力信号を受け、その出力信号はインバータ104で反転されて信号ZZMBDRVとなる。PチャネルMOSTランジスタ109, 110は、それぞれ電源電位VCCのラインとデータバス線DBL2, /DBL2との間に接続され、各々のゲートはそれぞれ信号ZMBTRV, ZZMBRVを受ける。

【0137】図16は、図15に示したMBTバッファ29cの動作を示すタイムチャートである。図14で説明したように、信号PAEが「L」レベルに立下がる、信号PDCL2, /PDCL2がともに「L」レベ

ルになる。また、MBT時は信号ZTEが「L」レベルにされている。クロック信号CLKの立上がりエッジに
 応答して信号RDRVMが「H」レベルに立上げられる
 と、信号PDD、ZPDDのうちの「H」レベルの方の
 信号（たとえばPDD）に対応する信号（この場合はZ
 MBDRV）が「L」レベルになり、PチャネルMOS
 トランジスタ109が導通してデータバス線DBL2が
 「H」レベルに立上げられる。

【0138】もう1本のデータバス線／DBL2は、P
 チャネルMOSTランジスタ110が導通しないので、
 プリチャージ電位VDBのまま変化しない。他のMBT
 バッファ29a、29b、29dもMBTバッファ29
 cと同じ構成である。

【0139】図17は、データバスDBのイコライズ方
 法を示す回路ブロック図である。このSDRAMは大容量
 でチップ面積が大きいので、データバスDBの配線長
 が長くなり、データバスDBの容量も大きくなってい
 る。したがって、サイズの大きなトランジスタを用いた
 イコライザをデータバスDBの1箇所に配置したので
 は、イコライズ速度が遅くなり不利である。また、その
 ような大きなイコライザを1箇所に配置することは、レ
 イアウト上困難である。

【0140】そこで、このSDRAMでは、図17に示
 すように、比較的サイズが小さなトランジスタを用いた
 複数（図では6つ）のイコライザ111～116が各デ
 ータバスDBの延在方向に分散配置される。図17で
 は、データバスDB2に関連する部分のみが示されてい
 る。イコライザ112～115には信号DBEQが直接
 入力される。イコライザ111には、ANDゲート11
 7で生成された信号TEと信号DBEQの論理積信号D
 BEQ'が入力される。イコライザ116には、AND
 ゲート118で生成された信号TEと信号DBEQの論
 理積信号DBEQ'が入力される。信号TEは、MBT
 時は「H」レベルになり、通常動作時は「L」レベルに
 なる信号である。

【0141】イコライザ111は、図18に示すよう
 に、データバス線DBL2と／DBL2の間に接続さ
 れ、そのゲートが信号DBEQ'を受けるNチャネルM
 OSTランジスタ121を含む。MBT時において信号
 DBEQが「H」レベルになって信号DBEQ'が活性
 化レベルの「H」レベルになるとNチャネルMOSTラ
 ンジスタ121が導通し、データバス線DBL2と／D
 BL2の電位がイコライズされる。イコライザ113、
 114、116もイコライザ111と同じ構成である。
 ただし、イコライザ113、114には、信号DBE
 Q'の代わりに信号DBEQが入力される。

【0142】イコライザ112は、図19に示すよう
 に、NチャネルMOSTランジスタ122、123およ
 びダイオード124を含む。NチャネルMOSTランジ
 スタ122、123は、データバス線DBL2と／DB

L2の間に直列接続され、各々のゲートとともに信号D
 BEQを受ける。ダイオード124は、NチャネルMO
 Sトランジスタ122と123の間のノードN122と
 接地電位VSSのラインとの間に接続される。

【0143】信号DBEQが「H」レベルになるとNチ
 ャネルMOSTランジスタ122、123が導通し、デ
 ータバス線DBL2と／DBL2の電位がプリチャージ
 電位VDBすなわちダイオード124のビルトインポテ
 ンシャル（たとえば0.5V）にイコライズされる。

【0144】したがって、信号TEが「L」レベルとな
 る通常動作時では信号DBEQが「H」レベルになると
 イコライザ112～115が活性化され、信号TEが
 「H」レベルとなるMBT動作時では信号DBEQが
 「H」レベルになるとイコライザ111～116が活性
 化されて、図20に示すように、データバス線DBL2
 と／DBL2の電位がプリチャージ電位VDBにイコラ
 イズされる。信号DBEQが「L」レベルに立下げら
 れ、イコライズが停止された後、データバス線DBL
 2、／DBL2はRDバッファ28cによって駆動され
 る。データバス線DBL2、／DBL2のうちの一方が
 電源電位VCC（たとえば3V）のラインにパルス的に
 接続されて「H」レベル（たとえば1.0V）に立上げ
 られ、他方は接地電位VSSのラインにパルス的に接続
 されて「L」レベル（0V）にされる。

【0145】なお、図21で示すように、ダイオード1
 24をダイオード接続されたNチャネルMOSTランジ
 スタ125で置換してもよい。この場合は、プリチャ
 ージ電位VDBは、NチャネルMOSTランジスタ125
 のしきい値電位となる。

【0146】図22は、図1に示したIOバッファ8の
 うちデータバスDB2に対応する部分を示すブロック図
 である。図22において、IOバッファ8は、データ出
 力回路131、データ出力バッファ回路132、データ
 入力バッファ回路133およびデータラッチ回路134
 を含む。

【0147】読出動作時は、データ出力回路131およ
 びデータ出力バッファ回路132が活性化される。デー
 タ出力回路131は、データバス線DBL2と／DBL
 2の電位を比較し、比較結果に応じた読出データ信号R
 D、／RDをデータ出力バッファ回路132に与える。
 データ出力バッファ回路132は、データ出力回路13
 1からの信号RD、／RDにตอบสนองしてデータ入出力パ
 ッド16を「H」レベル（電源電位VCC）または「L」
 レベル（接地電圧VSS）にする。

【0148】書込動作時は、データ入力バッファ回路1
 33およびデータラッチ回路134が活性化される。デ
 ータ入力バッファ回路133は、外部からデータ入出力
 パッド16を介して与えられたデータ信号が「H」レ
 ベルか「L」レベルかを検出し、検出結果に応じた書込デ
 ータ信号WD、／WDをデータラッチ回路134に与え

る。データラッチ回路134は、データ入力バッファ回路133からの信号WD、 $\overline{\text{WD}}$ に従ってデータバス線DBL2、 $\overline{\text{DBL2}}$ のうちの一方を「H」レベル（電源電位VCC）に保持し他方を「L」レベル（接地電圧VSS）に保持する。

【0149】また、データ出力回路131は、図23に示すように、MBTにおける読出動作時に1つのデータバス（図ではDB2）に読出された4ビットのデータが一致しているか否かを検出するためのNANDゲート135を含む。MBTにおける書込動作時は1つのデータバスDB2から4つのメモリセルMCの各々に同一データを書込むので、4つのメモリセルMCの各々から同一データが読出された場合は4つのメモリセルMCは正常であるが、4つのメモリセルMCのうちの少なくとも1つから異なるデータが読出された場合は4つのメモリセルMCのうちの少なくとも1つは異常である。したがって、4つのメモリセルMCから読出された4ビットのデータが一致しているか否かを検出することにより、4つのメモリセルが正常か否かを判定することができる。

【0150】図23において、PチャネルMOSTランジスタ109a~109d、110a~110dは、図15で示したMBTバッファ29cのPチャネルMOSTランジスタ109、110に対応するものである。PチャネルMOSTランジスタ109a、110aは図18のMBTバッファ29bに含まれ、PチャネルMOSTランジスタ109b、110bはMBTバッファ29dに含まれている。PチャネルMOSTランジスタ109c、110cは図2で示したメモリマットMM1bに対応するMBTバッファ29bに含まれ、PチャネルMOSTランジスタ109d、110dはメモリマットMM1bに対応するMBTバッファ29dに含まれている。NANDゲート135は、データバス線DBL2、 $\overline{\text{DBL2}}$ に現われる信号を受け、信号RDTを出力する。

【0151】4つのメモリセルMCからの読出データが一致した場合は、PチャネルMOSTランジスタ109a~109d、110a~110dのうちのPチャネルMOSTランジスタ109a~109dのみが導通してデータバス線DBL2、 $\overline{\text{DBL2}}$ のうちのデータバス線DBL2のみが「H」レベルになるか、PチャネルMOSTランジスタ110a~110dのみが導通してデータバス線DBL2、 $\overline{\text{DBL2}}$ のうちのデータバス線 $\overline{\text{DBL2}}$ のみが「H」レベルになるので、信号RDTが「H」レベルになる。

【0152】4つのメモリセルMCからの読出データが一致しない場合は、PチャネルMOSTランジスタ109a~109dのうちの少なくとも1つのPチャネルMOSTランジスタ（たとえば109a）とPチャネルMOSTランジスタ110a~110dのうちのPチャネルMOSTランジスタ（この場合は110b~110

d）とが導通してデータバス線DBL2、 $\overline{\text{DBL2}}$ がともに「H」レベルになり、信号RDTが「L」レベルになる。

【0153】データ出力回路131は信号RDTに応じた読出データ信号RD、 $\overline{\text{RD}}$ をデータ出力バッファ回路132に与え、データ出力バッファ回路132はその信号RD、 $\overline{\text{RD}}$ に応じたレベルの信号をデータ入出力パッド16に出力する。したがって、データ入出力パッド16のレベルを検出することにより、4つのメモリセルMCが正常か否かを判定することができる。

【0154】この実施の形態では、グローバルIO線対GIO1~GIO3とプリアンプ25a~25dとの間にセクタ24a~24dを設けたので、CLシフト155a~155dとRDバッファ157a~157dとの間にセクタ156a~156dを設けていた従来に比べ、配線およびレイアウトの簡単化を図ることができる。レイアウト面積の縮小化を図ることができる。

【0155】また、セクタ24a~24dによってグローバルIO線対GIO1~GIO3とプリアンプ25a~25dの入出力ノード対N31、N32をパルスのに接続するので、グローバルIO線対GIO1~GIO3のイコライズとプリアンプ25a~25dの入出力ノード対N31、N32のイコライズとを別々に行なうことができる。したがって、大容量のグローバルIO線対GIO1~GIO3のイコライズ期間を長くとることができる。読出動作の安定化を図ることができる。

【0156】また、RDバッファ28a~28dは、データバス線DBL、 $\overline{\text{DBL}}$ の各々に電源電位VCCまたは接地電圧VSSをパルスのに与え、データバス線DBL、 $\overline{\text{DBL}}$ の各々を1Vまたは0Vにする。したがって、データバス線DBL、 $\overline{\text{DBL}}$ の各々を電源電位VCC（たとえば3V）または接地電圧VSS（0V）にしていた従来に比べ、消費電流が小さくて済む。

【0157】また、信号RDRVMをNANDゲート90、91およびインバータ92~94で遅延および反転させて信号ZRDCUDを生成し、信号RDRVM、ZRDCUDがともに「H」レベルの期間だけデータバス線DBL、 $\overline{\text{DBL}}$ の各々に電源電位VCCまたは接地電圧VSSを与える。したがって、電源電位VCCが低下したときはNANDゲート90、91およびインバータ92~94の遅延時間が長くなるので、電源電位VCCの低下時にデータバス線DBL、 $\overline{\text{DBL}}$ の電位振幅が小さくなるのを防止することができる。

【0158】また、SDRAMはテストモード時はテストに接続され、その消費電流および動作速度は問題にされない。テストモード時はMBTバッファ29a~29dがデータバス線DBL、 $\overline{\text{DBL}}$ に電源電位VCCまたは接地電圧VSSを与えるようにしてテスト動作の安定化を図っている。

【0159】また、複数のイコライザ111~116を

データバスDBの延在方向に分散配置させるので、データバスDBのイコライズを高速に行なうことができる。

【0160】また、イコライザ112、115は、イコライズ期間にデータバス線DBL、/DBLをダイオード124のアノードに接続し、データバス線DBL、/DBLの各々をダイオード124のビルトインポテンシャルにするので、プリチャージ用の電源は不要である。

【0161】また、通常動作時よりもMBT時の方がデータバス線DBL、/DBLの電位振幅が大きいが、通常動作時はイコライザ112～115を活性化させ、MBT時はイコライザ111～116を活性化させるので、通常動作時とMBT時のイコライズ時間を等しくすることができる。

【0162】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0163】

【発明の効果】以上のように、請求項1に係る発明では、データ伝達線の他方端とプリアンプの入出力ノード対との間に接続され、所定時間だけパルス的に導通してデータ伝達線対間に生じた電位差をプリアンプの入出力ノード対に与えるためのスイッチング素子対が設けられる。したがって、スイッチング素子対がパルス的に導通した直後にデータ伝達線対のイコライズを開始することができるので、容量が大きなデータ伝達線対のイコライズ期間を長くとることができ、読出動作の安定化を図ることができる。

【0164】請求項2に係る発明では、請求項1に係る発明に、スイッチング素子対がパルス的に導通した後の第1のイコライズ期間にデータ伝達線対の電位をプリチャージ電位にイコライズする第1のイコライザと、スイッチング素子対がパルス的に導通する前の第2のイコライズ期間にプリアンプの入出力ノード対の電位をプリチャージ電位にイコライズする第2のイコライザがさらに設けられる。これにより、データ伝達線対とプリアンプの入出力ノード対とを別々にイコライズすることができる。

【0165】請求項3に係る発明では、アドレス信号に従って複数のデータ伝達線対のうちのいずれかのデータ伝達線対を選択し、そのデータ伝達線対の他方端とプリアンプの入出力ノード対とを所定時間だけパルス的に接続してそのデータ伝達線対間に生じた電位差をプリアンプの入出力ノード対に与えるためのセレクトが設けられる。したがって、データ伝達線対がプリアンプの入出力ノード対にパルス的に接続された直後にデータ伝達線対のイコライズを開始できるので、容量が大きなデータ伝達線対のイコライズ期間を長くとることができ、読出動作の安定化を図ることができる。

作の安定化を図ることができる。

【0166】請求項4に係る発明では、請求項3に係る発明に、データ伝達線の他方端とプリアンプの入出力ノード対とがパルス的に接続された後の第1のイコライズ期間に各データ伝達線対間の電位をプリチャージ電位にイコライズする第1のイコライザと、データ伝達線対の他方端とプリアンプの入出力ノード対とがパルス的に接続される前の第2のイコライズ期間にプリアンプの入出力ノード対の電位をプリチャージ電位にイコライズする第2のイコライザがさらに設けられる。これにより、各データ伝達線対とプリアンプの入出力ノード対とを別々にイコライズすることができる。

【0167】請求項5に係る発明では、第1の読出モード時はN組のデータ伝達線対の他方端とN組のプリアンプの入出力ノード対をそれぞれ接続し、第2の読出モード時はアドレス信号に従ってN組のデータ伝達線対のうちのM組のデータ伝達線対を選択し、選択したM組のデータ伝達線対の他方端をそれぞれ予め選択されたM組のプリアンプの入出力ノード対に接続するセレクトが設けられる。したがって、N組のプリアンプとN組の伝達回路との間にセレクトが設けられていた従来に比べ、レイアウトの簡単化およびレイアウト面積の縮小化を図ることができる。

【0168】請求項6に係る発明では、請求項5に係る発明に、テストモード時にN組のプリアンプの出力データ信号の論理が一致しているか否かを判定し、一致している場合は選択されたN個のメモリセルは正常であることを示す信号を出力し、一致していない場合は選択されたN個のメモリセルのうちの少なくとも1つのメモリセルが不良であることを示す信号を出力する判定回路がさらに設けられる。この場合は、N個のメモリセルが正常か否かを同時にテストすることができる。

【0169】請求項7に係る発明では、読出回路によって読出されたデータが第1の論理である場合はデータ伝達線対に含まれる第1および第2のデータ伝達線の一方端にそれぞれ第1および第2の電位を所定時間だけパルス的に与えて第1および第2のデータ伝達線をそれぞれ第1および第2の電位間の第3および第4の電位にし、そのデータが第2の論理である場合は第1および第2のデータ伝達線の一方端にそれぞれ第2および第1の電位を所定時間だけパルス的に与えて第1および第2のデータ伝達線をそれぞれ第4および第3の電位にする第1の駆動回路が設けられる。したがって、第1および第2のデータ伝達線の各々を第1または第2の電位にしていた従来に比べ、消費電流が小さくて済む。

【0170】請求項8に係る発明では、請求項7に係る発明の第1の駆動回路は、それぞれが電源電圧によって駆動される直列接続された複数のインバータを有する遅延回路を含み、上記所定時間は、読出回路の読出動作に同期した信号が遅延回路に入力されてから出力されるま

での時間である。この場合は、電源電位が低下したときは遅延回路の遅延時間が長くなってデータ伝達線の充放電時間が長くなるので、電源電圧の低下により第1および第2のデータ伝達線の電位振幅が小さくなるのを防止することができる。

【0171】請求項9に係る発明では、請求項7または8に係る発明に、第1および第2のデータ伝達線に第1および第2の電位が与えられる前のイコライズ期間において第1および第2のデータ伝達線の電位を第1および第2の電位間の予め定められたプリチャージ電位にイコライズするイコライザがさらに設けられる。この場合は、読出動作の安定化を図ることができる。

【0172】請求項10に係る発明では、請求項9に係る発明のイコライザはダイオード素子と、イコライズ期間において第1および第2のデータ伝達線と第2の電位のラインとの間にダイオード素子を接続する接続回路とを含む。この場合は、プリチャージ用の電源が不要となるので、構成の簡単化を図ることができる。

【0173】請求項11に係る発明では、請求項9または10に係る発明のイコライザは複数設けられ、複数のイコライザは第1および第2のデータ伝達線の延在方向に分散配置される。この場合は、第1および第2のデータ伝達線のイコライズを高速に行なうことができる。

【0174】請求項12に係る発明では、請求項9から11のいずれかに係る発明に、イコライズ期間において第1および第2のデータ伝達線間を接続するサブイコライザがさらに設けられる。この場合は、第1および第2のデータ伝達線のイコライズをより高速に行なうことができる。

【0175】請求項13に係る発明では、請求項12に係る発明のサブイコライザは複数設けられ、複数のサブイコライザは第1および第2のデータ伝達線の延在方向に分散配置される。この場合は、第1および第2のデータ伝達線のイコライズをさらに高速に行なうことができる。

【0176】請求項14に係る発明では、請求項13に係る発明に、テストモード時は複数のサブイコライザのすべてを活性化させ、通常動作時は複数のサブイコライザのうちの予め選択されたサブイコライザのみを活性化させる制御回路がさらに設けられる。この場合は、通常動作時とテストモード時のイコライズ期間を等しくすることができる。

【0177】請求項15に係る発明では、請求項7から14のいずれかに係る発明に、テストモード時に活性化され、読出回路によって読出されたデータが第1の論理である場合は第1のデータ伝達線を第1の電位にし、そのデータが第2の論理である場合は第2のデータ伝達線を第1の電位にする第2の駆動回路と、第1および第2のデータ伝達線の電位に基づいて、選択されたメモリセルが正常か否かを判定する判定回路がさらに設けられ

る。この場合は、第1および第2のデータ伝達線の各々をプリチャージ電位または第1の電位にするので、テスト動作の安定化を図ることができる。

【図面の簡単な説明】

【図1】 この発明の一実施の形態によるSDRAMの概略構成を示すブロック図である。

【図2】 図1に示したSDRAMのチップレイアウトを示すブロック図である。

【図3】 図2に示したメモリマットMM1aの構成を示す図である。

【図4】 図3に示したZ部の拡大図である。

【図5】 図4に示したメモリブロックMK2の構成を示す回路ブロック図である。

【図6】 図1～図5に示したSDRAMの連続読出動作を示すタイムチャートである。

【図7】 図1～図5に示したSDRAMの連続書込動作を示すタイムチャートである。

【図8】 図2に示したローカルコラム回路の構成を示すブロック図である。

【図9】 図8に示したセレクト24cの構成を示す回路図である。

【図10】 図8に示したプリアンプ25cの構成を示す回路図である。

【図11】 図9に示したセレクトおよび図10に示したプリアンプの動作を示すタイムチャートである。

【図12】 図8に示したマスタラッチ回路26cおよびスレーブラッチ回路27cの構成を示す回路図である。

【図13】 図8に示したRDバッファ28cの構成を示す回路図である。

【図14】 図13に示したRDバッファ28cの動作を示すタイムチャートである。

【図15】 図8に示したMBTバッファ29cの構成を示す回路図である。

【図16】 図15に示したMBTバッファ29cの動作を示すタイムチャートである。

【図17】 図8に示したデータバスのイコライズ方法を説明するための回路ブロック図である。

【図18】 図17に示したイコライザ111の構成を示す回路図である。

【図19】 図17に示したイコライザ112の構成を示す回路図である。

【図20】 図17～図19で示したデータバスのイコライズ方法を説明するためのタイムチャートである。

【図21】 図19に示したイコライザ112の変更例を示す回路図である。

【図22】 図1に示したIOバッファ8の構成を示すブロック図である。

【図23】 図22に示したデータ出力回路のMBT時の動作を説明するための回路ブロック図である。

【図24】 従来のSDRAMの要部を示すブロック図である。

【図25】 図24に示したプリアンプ154cおよびCLシフタ155cの構成を示す回路ブロック図である。

【図26】 図24に示した信号PAE0～PAE3の生成方法を説明するためのブロック図である。

【図27】 図24に示したセクタ156cの構成を示す回路図である。

【図28】 図27に示した信号RDRV4, RDRV48, RDRV4816の生成方法を説明するための回路図である。

【図29】 図24に示したRDバッファ157cの構成を示す回路図である。

【図30】 図24に示したデータバスをイコライズするためのイコライザの構成を示す回路図である。

【図31】 図29に示したRDバッファおよび図30に示したイコライザの通常の読出動作を示すタイムチャートである。

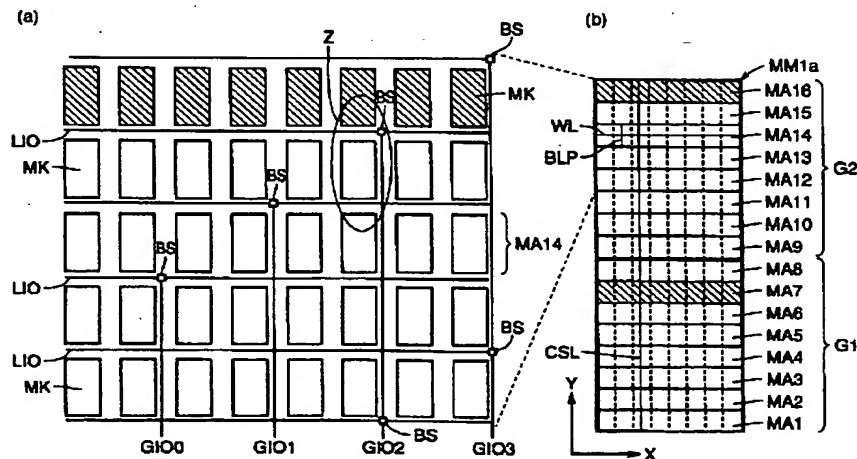
【図32】 図29に示したRDバッファおよび図30に示したイコライザのMBT時における読出動作を示すタイムチャートである。

【符号の説明】

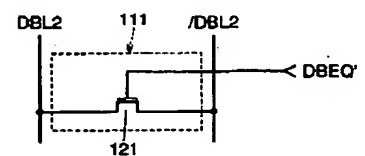
1 クロックバッファ、2 制御信号バッファ、3 アドレスバッファ、4 モードレジスタ、5 制御回路、6 a～6 d メモリアレイ、7 a～7 d 読出／書込回路、8 IOバッファ、10 半導体基板、11 a～11 d ロウデコーダ、12 a～12 d コラムデコーダ、13 a～13 d コラムアドレスデコーダ、14 a～14 d ローカルコラム回路、15, 16 パッド、MM メモリマット、MA メモリアレイ、G メモリアレイグループ、MK メモリブロック、DB データバ

ス、DBL, /DBL データバス線、GIO グローバルIO線対、GIO L, /GIO L グローバルIO線、LIO ローカルIO線対、BS ブロック選択スイッチ、WL ワード線、BLP ビット線対、BL, /BL ビット線、CSL 列選択線、SA センスアンプ、SAC センスアンプ列、EQB, EQL, EQG, 111～116 イコライザ、SAG アレイ選択ゲート、CSG 列選択ゲート、21 a～21 d, 24 a～24 d, 151 a～151 d, 156 a～156 d, 158 a～158 d セクタ、22 a～22 d, 152 a～152 d WDアンプ、23 a～23 d, 153 a～153 d ライトバッファ、25 a～25 d, 154 a～154 d プリアンプ、26 a～26 d, 169 マスタラッチ回路、27 a～27 d, 170 スレーブラッチ回路、28 a～28 d, 157 a～157 d RDバッファ、29 a～29 d MBTバッファ、31～38, 51～55, 71～80, 109, 109 a～109 c, 110, 110 a～110 d, 161～165, 175, 176, 217, 218 PチャネルMOSトランジスタ、40～44, 59, 90, 91, 105～108, 135, 201～203 NANDゲート、41, 42, 60～62, 65～68, 71～74, 92, 96, 100～104, 204～206, 211～214 インバータ、56～58, 81～88, 121～123, 125, 166～168, 181～188, 191～198, 218, 219, 222～224 NチャネルMOSトランジスタ、63, 64, 69, 70 クロックインバータ、89, 215, 216 NORゲート、124 ダイオード、131 データ出力回路、132 データ出力バッファ回路、133 データ入力バッファ回路、134 データラッチ回路、171 PAE発生回路。

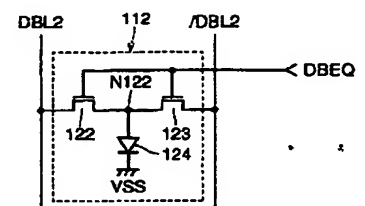
【図3】



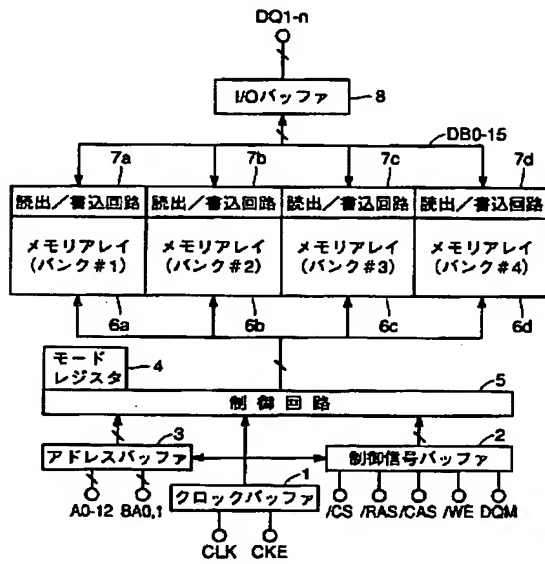
【図18】



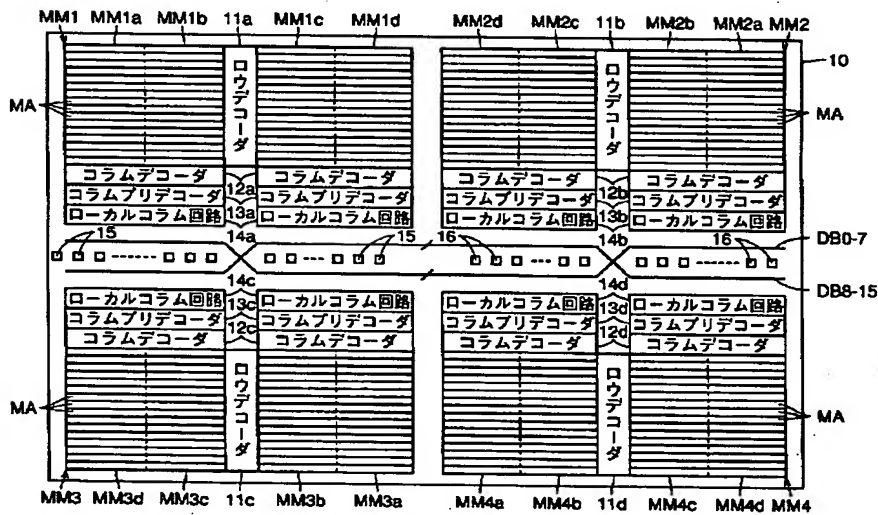
【図19】



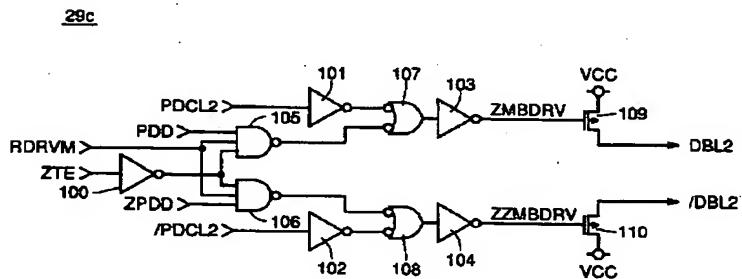
【図1】



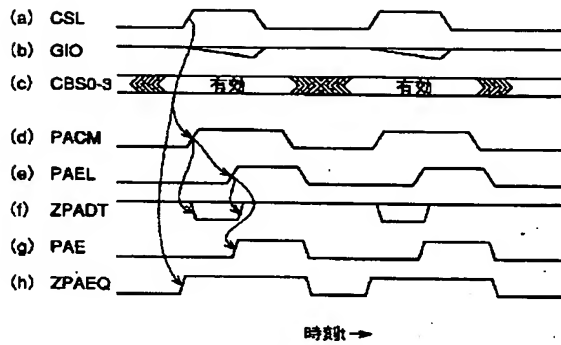
【図2】



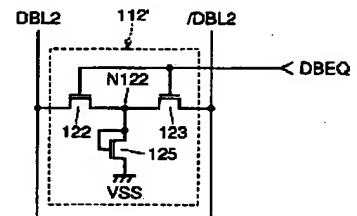
【図15】



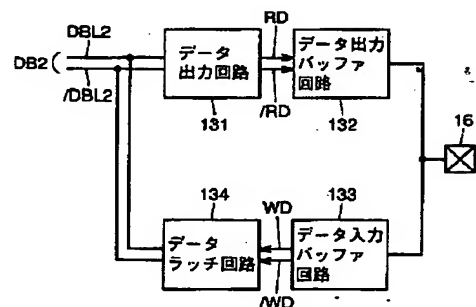
【図11】



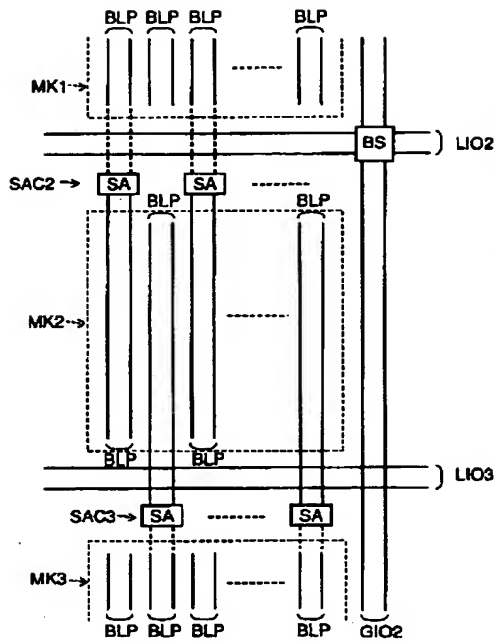
【図21】



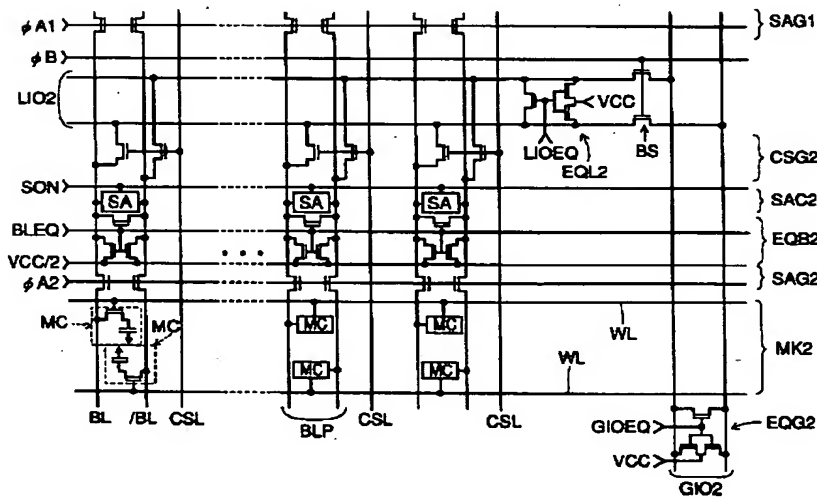
【図22】



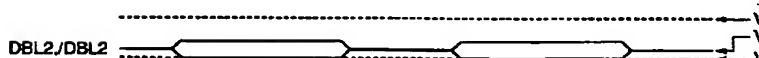
【図4】



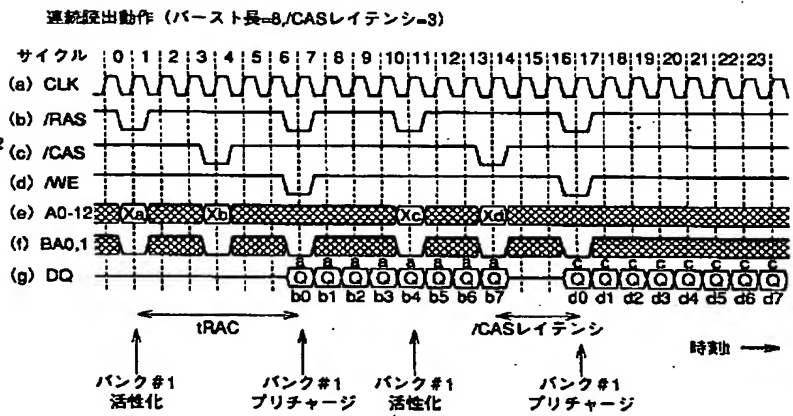
【図5】



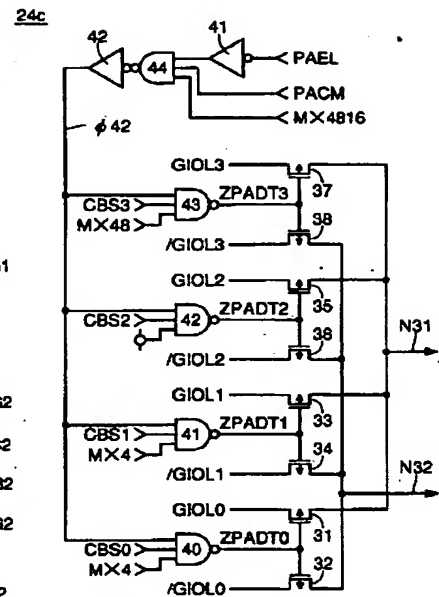
【図20】



【図6】



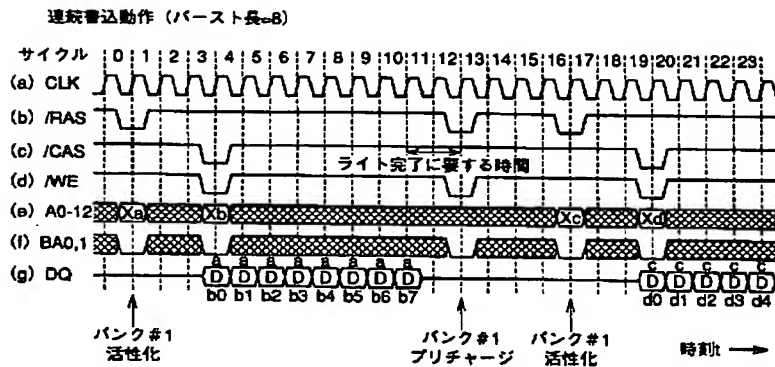
【図9】



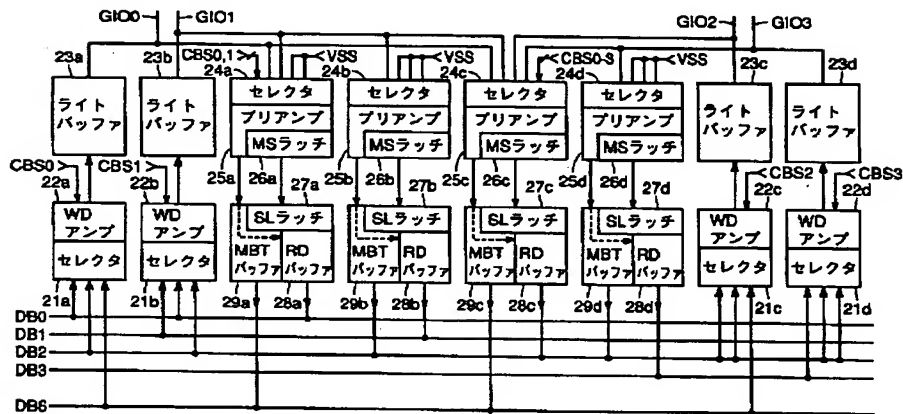
【図26】



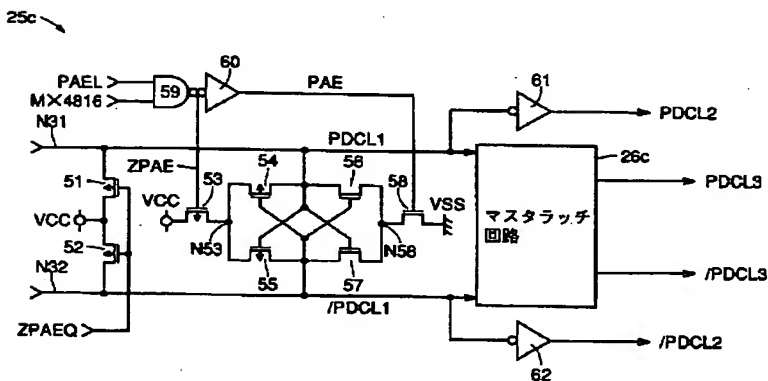
【図7】



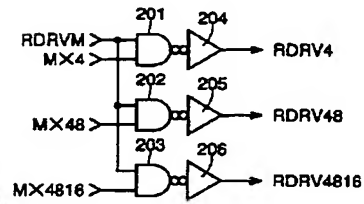
【図8】



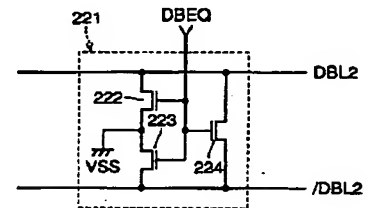
【図10】



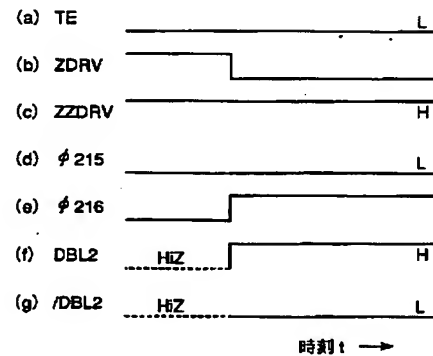
【図28】



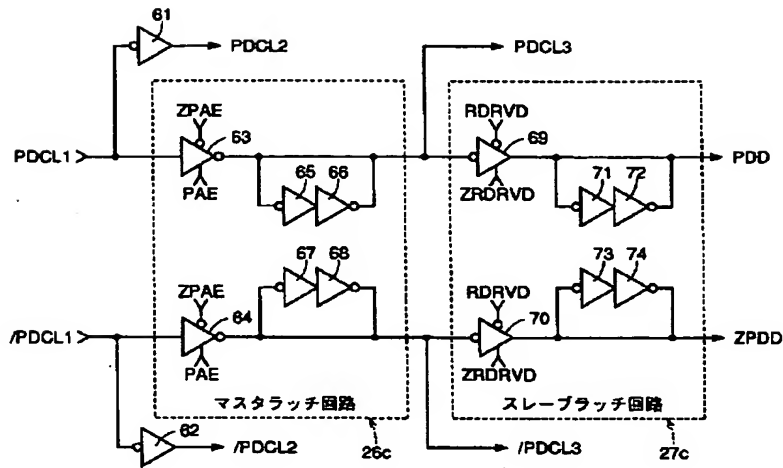
【図30】



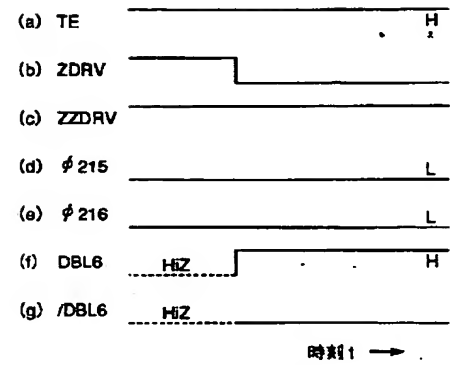
【図31】



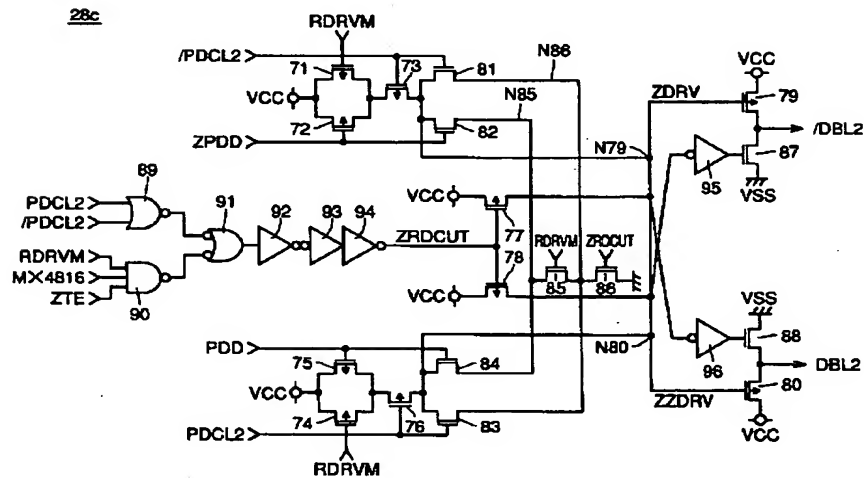
【図12】



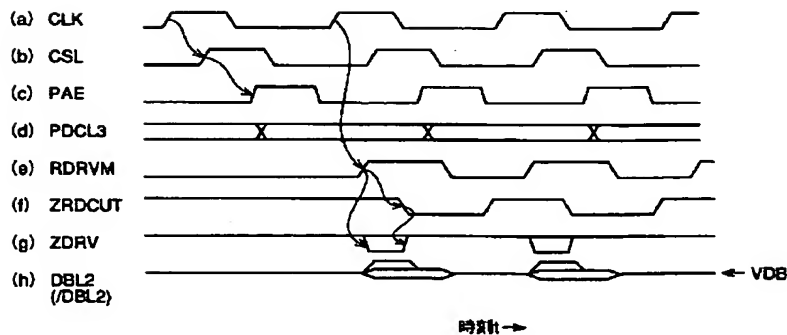
【図32】



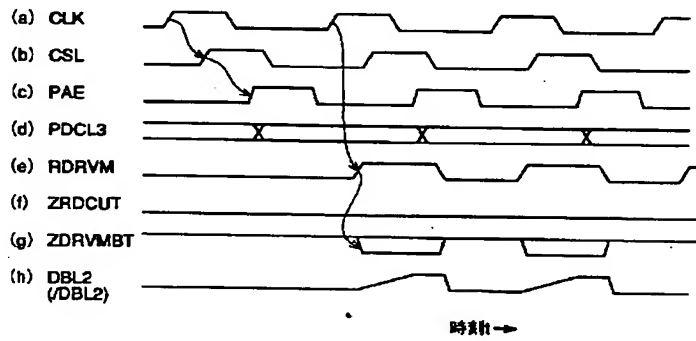
【図13】



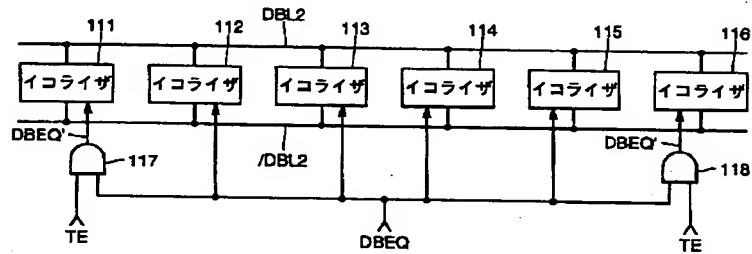
【図14】



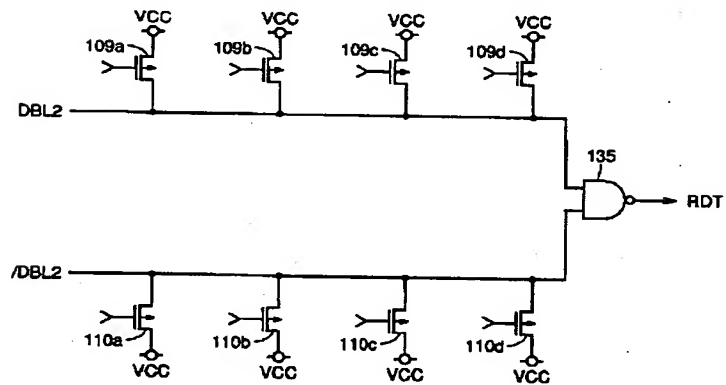
【図16】



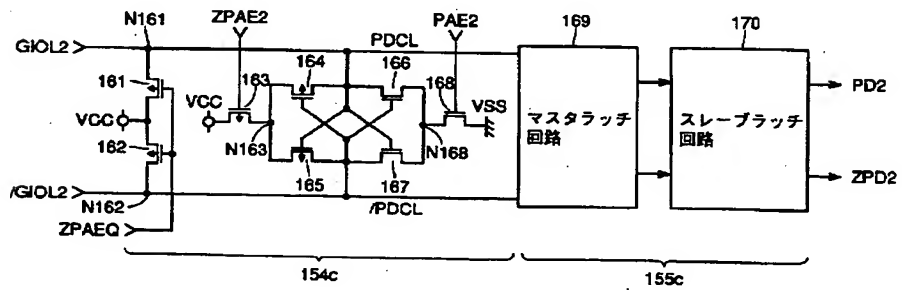
【図 17】



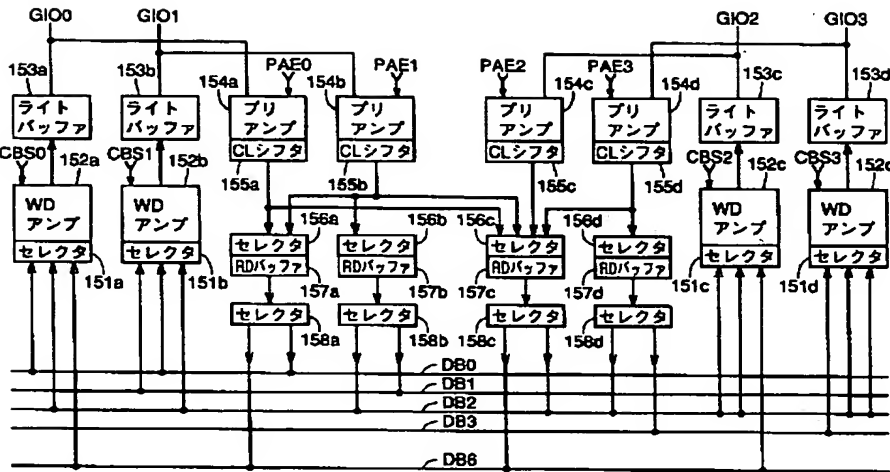
【图23】



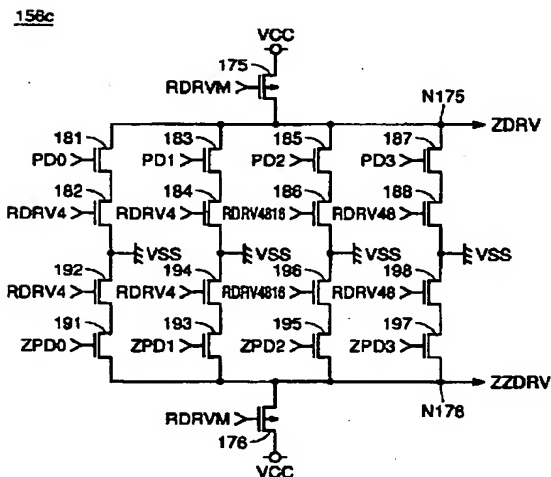
【例25】



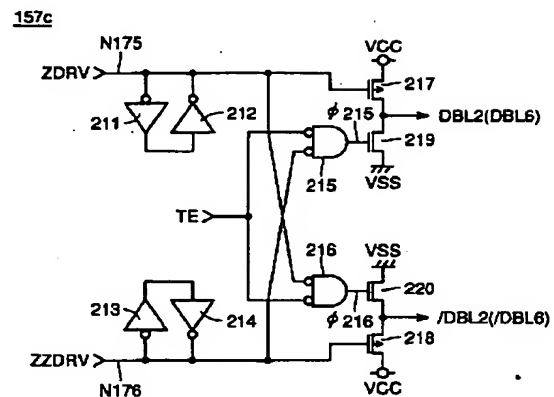
【図24】



【図27】



【図29】



フロントページの続き

(72)発明者 原口 大
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

(72)発明者 小西 康弘
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内
 Fターム(参考) 5B024 AA01 AA03 AA07 BA07 BA09
 BA15 BA23 BA29 CA07 EA04

THIS PAGE BLANK (USPTO)